

面向片上互连的低功耗 CNRZ-5 125 Gb/s 高速 SerDes 发射机

吕栋斌¹, 吕方旭¹, 王和明¹, 张 庚¹, 张金旺¹, 秦悦仪²

(1. 空军工程大学防空反导学院, 西安, 710051; 2. 长安大学经济与管理学院, 西安, 710061)

摘要 为解决高性能 CPU、GPU、AI 等高端芯片的片上互联(D2D)带宽低、引脚效率不高的问题,设计了一款面向超短距离传输(USR)的低功耗、高引脚效率的 125 Gb/s 发射机。为提高引脚效率,该电路采用相关非归零编码(CNRZ)技术;为降低发射机功耗,采用一种预编码的电压模驱动(SST)技术;为解决传统电路两级 2:1 MUX 功耗大的问题,采用 CMOS 的 4:1 MUX。该发射机采用 CMOS 28 nm 工艺设计,0.9 V 电压供电。仿真结果表明,基于 CNRZ 技术的发射机工作在 125 Gb/s 时,输出信号最小眼宽可达 0.41 UI (1 UI=40 ps),系统功耗为 1.1 pJ/bit,引脚效率由 5 bit/10 wire 提高到 5 bit/6 wire。

关键词 相关非归零编码;发射机;串并转换;预编码的 SST 驱动;4:1 合路器

DOI 10.3969/j.issn.1009-3516.2022.02.013

中图分类号 TN432 **文献标志码** A **文章编号** 1009-3516(2022)02-0083-07

A Low-Power and 125 Gb/s High Speed SerDes Transmitter Using CNRZ-5 for On-Chip Interconnect

LYU Dongbin¹, LYU Fangxu¹, WANG Heming¹, ZHANG Geng¹, ZHANG Jinwang¹, QIN Yueyi²

(1. Air Defense and Antimissile School, Air Force Engineering University, Xi'an 710051, China;

2. School of Economics and Management, Chang'an University, Xi'an 710061, China)

Abstract In view of low bandwidth and pin efficiency in Die-to-Die (D2D) of high-performance CPU, GPU, AI and other high-end chips, a 125 Gb/s transmitter with low-power consumption with high pin efficiency for ultra-short reach (USR) is proposed. To improve pin efficiency, this circuit adopts correlated non-return to zero (CNRZ) encoding technology. To reduce the transmitter's power consumption, this paper adopts a precoding source-series terminated (SST) driver technology. To solve the problem of high power consumption of traditional two-stage 2:1 MUX, this paper adopts a CMOS 4:1 MUX technology. This transmitter is designed with 28 nm CMOS technology and supplied with 0.9 V voltage. The simulation results show that when the transmitter based on CNRZ technology works at 125 Gb/s, the minimum eye-width of the output signal can reach 0.41 UI (1 UI=40 ps), and the system power consumption is 1.1 pJ/bit, the pin efficiency increases from 5bit/10wire to 5bit/6wire.

Key words CNRZ; transmitter; series-parallel conversion; pre-coded SST driver; MUX 4:1

收稿日期: 2021-08-16

基金项目: 国家重点研发计划(2018YFB2202300)

作者简介: 吕栋斌(1991—),男,陕西渭南人,硕士生,研究方向为 SerDes 发射机。E-mail:378373829@qq.com

引用格式: 吕栋斌, 吕方旭, 王和明, 等. 面向片上互连的低功耗 CNRZ-5 125 Gb/s 高速 SerDes 发射机[J]. 空军工程大学学报(自然科学版), 2022, 23(2): 83-89. LYU Dongbin, LYU Fangxu, WANG Heming, et al. A Low-Power and 125 Gb/s High Speed SerDes Transmitter Using CNRZ-5 for On-Chip Interconnect[J]. Journal of Air Force Engineering University (Natural Science Edition), 2022, 23(2): 83-89.

自大数据问世以来,用于超大规模数据中心、高性能中央处理器(CPU)、图形处理器(GPU)、人工智能(AI)和网络应用的片上系统(SoC)发展面临着前所未有的考验,摩尔定律失效,芯片性能和功耗的改进越来越不具有经济效益^[1]。异构集成(chiplet)技术为解决该问题提供了新的设计方案。但 chiplet 技术发展也面临着诸多挑战,比如单个多芯片模组(MCM)中 D2D 通信的功耗、传输速率以及引脚效率还不能满足数据传输需求^[2]。

为解决这一问题,本文研究了一种基于相关非归零编码(correlated non-return to zero, CNRZ)的弦和信令(chord signaling)传输方案,并对该方案的发射机进行了研究。结果表明:该信令与差分信令(DS)相比,具有同样的信号抗干扰和抗噪声能力,但引脚利用率由 5 bit/10 wire 提高到 5 bit/6 wire;同时速率可达 125 Gb/s,链路吞吐量可达 20.83 Gbps/wire,功耗仅为 1.1 pJ/bit,从而为多芯片模组应用提供了一种高速、节能的 D2D 链路传输方案。

1 CNRZ-5 编码理论的数学模型

差分信令、CNRZ-5 传输信令是弦和信令的两种特殊传输信令^[3-4]。弦和信令主要有以下特征:

1) n 比特数据的传输需要 $(n+1)$ 个引脚。(例如:差分信令 1 bit 数据通过 2 个引脚传输;CNRZ-5 信令 5 bit 数据通过 6 个引脚传输)

2) 1 根额外的线主要用来抑制码间串扰(XTALK),共模噪声(CMN)和开关噪声(SSN)。

$$\sum_{i=0}^n \frac{W_i}{n+1} = V_{CM} \quad (1)$$

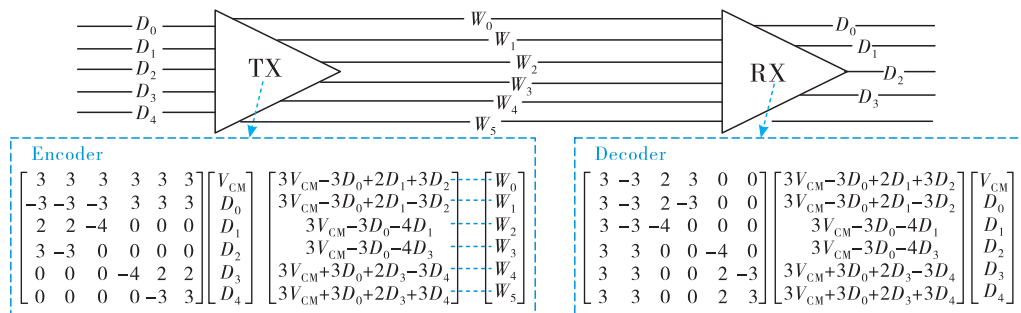


图 2 CNRZ-5 信令编码与解码数学模型

2 系统架构

图 3 为该发射机系统的基本架构,主要有:并串转换(16:4 并串转换、4:1 并串转换)、电压模(soucre-series terminated, SST)驱动、时钟等模块

3) 弦和信令在传输线上的电平数是个,但输入和输出端信号都是二进制,这使得信号传输过程中不需要高分辨率的模数转换(ADC)。(例如: CNRZ-5 的第一条链路上的传输电平虽然有 6 个,但是信令在编码前、解码后都是二进制)

4) 弦和信令编码矩阵 \mathbf{H} 是基于沃尔什-哈达玛(WHT)变换所得,解码矩阵为转置矩阵 \mathbf{H}^T 。

DS 是弦和信令的简单形式。如图 1 所示,在数据发射端进行以下编码变换。

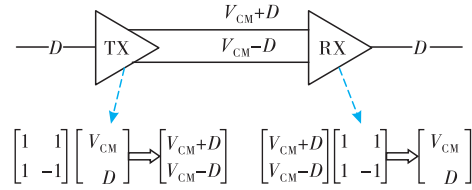


图 1 差分信令编码与解码数学模型

$$\begin{bmatrix} W_0 \\ W_1 \end{bmatrix} = \frac{1}{\sqrt{2}} \times \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \times \begin{bmatrix} V_{CM} \\ D \end{bmatrix} = \frac{1}{\sqrt{2}} \times \begin{bmatrix} V_{CM}+D \\ V_{CM}-D \end{bmatrix} \quad (2)$$

式中: D 表示需要传输的二进制数据, $\frac{1}{\sqrt{2}}$ 为归一化因子。从而实现了对数据 D 的编码。

在数据接收端进行以下解码变换:

$$\begin{bmatrix} V_{CM} \\ D \end{bmatrix} = \frac{1}{\sqrt{2}} \times \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \times \begin{bmatrix} W_0 \\ W_1 \end{bmatrix} \quad (3)$$

CNRZ-5 是更高阶的弦和信令,用以实现更高的引脚效率和传输速率。图 2 显示了 CNRZ-5 信令编码和解码的数学模型,它在 6 根线上传输 5 bit 数据,传输速率可达到 125 Gbps。与差分信令数学模型类似,利用编码矩阵在数据的发射端实现对数据的编码,在接收端实现对传输信号的解码。

组成。并串转换首先将输入的 16 路 1.562 5 Gbps 数据通过 16:4 MUX 转换为 6.25 Gbps 的数据,再通过 4:1 MUX 将 6.25 Gbps 的数据转换为 25 Gbps 的数据;SST 驱动模块实现对信号的预编码和驱动;时钟模块包含外部时钟和数据时钟,外部时钟为 16:4 MUX、4:1 MUX 模块提供时钟信号,

数据时钟采取前向时钟为接收端提供时钟参考。

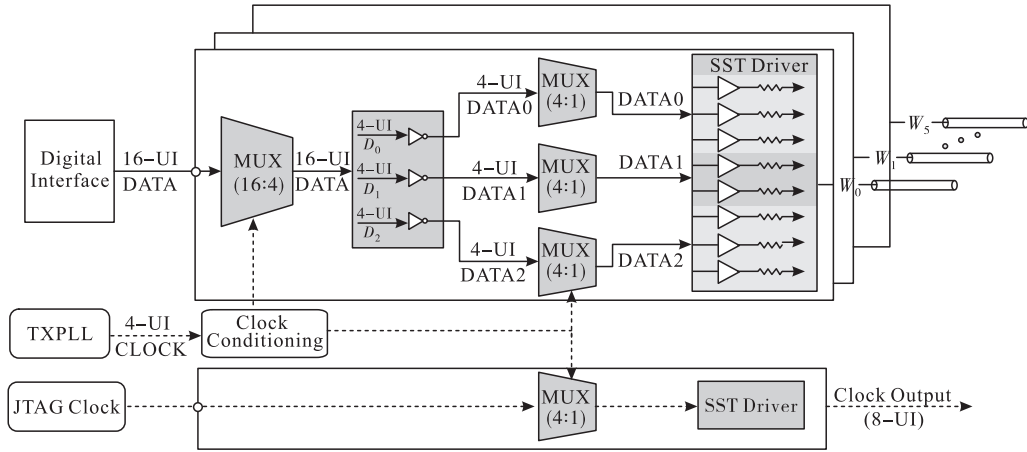


图 3 基于 CNRZ-5 信号的 SerDes 发射机系统框架

3 发射机电路的实现

3.1 预编码的 SST 驱动电路

电压模驱动 (SST) 因其相较于传统的电流模 (CML) 驱动具有功耗低、线性度好的优点^[5], 但其因输出阻抗大小随工艺、电压、温度 (PVT) 的变化有较大的波动, 使得与信道特征阻抗的匹配成为设计上的一个关键问题^[6]。本文驱动电路通过设置信号的电压权重比, 实现了与 CNRZ-5 编码理论相结合, 使得发射端具备了编码能力。图 4 是以 W_0 链路编码结构示意图。 $D_0, \overline{D}_1, \overline{D}_2$ 在驱动电路中占的权重比分别为 3、2、3, W_0 链路输出信号见式 (4), A 为驱动电路放大倍数:

$$V_{(W_0)} = (3V_{CM} + 3V_{(D_0)} + 2V_{(\overline{D}_1)} + 3V_{(\overline{D}_2)}) \times A \quad (4)$$

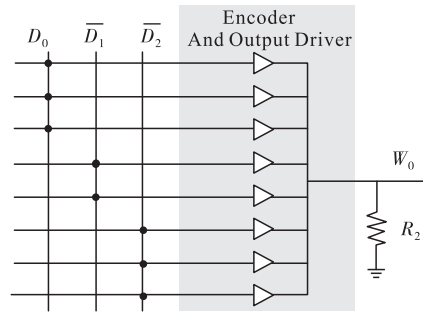


图 4 W_0 链路电压模驱动编码结构示意图

W_0 链路的电压模驱动电路如图 5 所示。通过采取多个电阻并联的方式减小 CMOS 管电阻在输出电阻中的比重, 确保了电路输出阻抗不因 PVT 改变而产生大的波动。

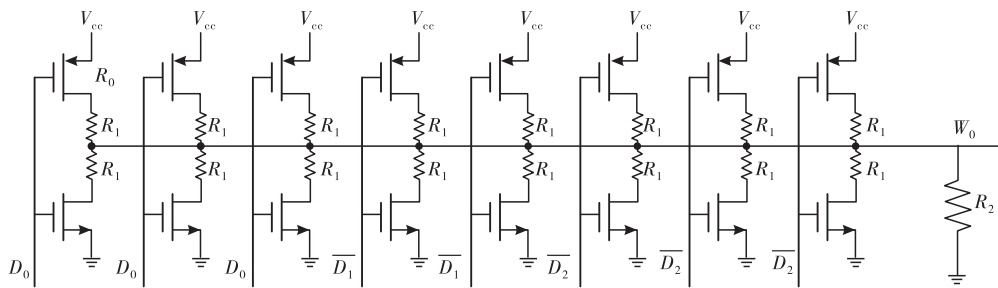


图 5 W_0 链路电压模驱动电路

信道的特征阻抗 Z_0 为 50Ω ^[7-8], 根据阻抗匹配原理, 驱动器的输出电阻也应为 50Ω 。本驱动器的输出电阻 R_{out} 为:

$$R_{out} = \frac{(R_0 + R_1)}{8} // R_2 \quad (5)$$

假设电路导通和截止都是处于理想状态下, 则电路输出电压最大值 V_{max} 为:

$$V_{max} = \frac{R_2 // Z_0}{\frac{R_0 + R_1}{8} + R_2 // Z_0} V_{cc} \quad (6)$$

采用这种电阻串并联的方式进行匹配电阻设计, 既可以通过设置 R_1, R_2 不同的阻值来确保输出电压摆幅, 也减少了 CMOS 管电阻 R_0 对驱动电路输出阻抗的影响。采用 28 nm 工艺, 考虑 CMOS 在不同电阻值 R_0 下, SST 驱动器的输入电容的变化, 可将电路中的 CMOS 管电阻 R_0 设置为 30Ω ^[9], 在这种情况下: $R_0 / (R_0 + R_1) < 0.1$, 此时 CMOS 管电阻 R_0 发生变化, 对电路的阻抗匹配影响不大。

图 6 为 W_0 线路的信号前仿真眼图, 仿真结果显

示,电压幅值裕度为 401.3 mV,最小眼宽为 0.685 UI,眼图的电压摆幅分别为 99.3 mV、50.4 mV、100.2 mV、52.0 mV、101.2 mV。参考 PAM 信号的眼图线性度测量方式,由于该线路的信号眼图的电压幅度权重比例为 4 : 2 : 4 : 2 : 4, W_0 线路眼图线性度为: $\frac{\max\{99.3/4, 50.4/2, 100.2/2, 52.0/2, 101.2/4\}}{\min\{99.3/4, 50.4/2, 100.2/2, 52.0/2, 101.2/4\}} = 1.05$,表明线性度较好。

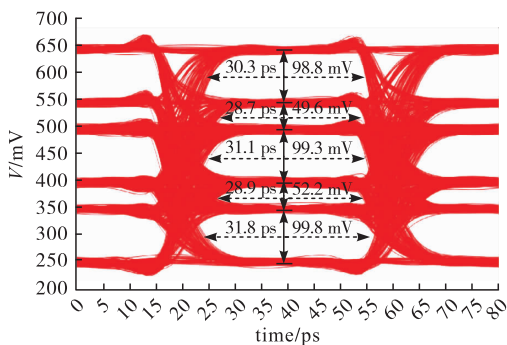


图 6 W_0 线路信号眼图

3.2 并串转换器(MUX)

并串转换模块主要是将低速并行的数据转换为高速串行的数据^[10]。本发射机中的并串转换模块,就是在时钟电路的控制下将 1.562 5 Gbps 的低速并行信号转换为 25 Gbps 的高速串行信号。

3.2.1 16 : 4 MUX

电路设计和时序如图 7 所示,首先将外部时钟电路提供的 4 路正交时钟信号 CLK_0~CLK_270 (脉冲宽度:4 UI,频率:1.562 5 GHz)转换为 4 路选择信号 SEL_0~SEL_3 (脉冲宽度:2UI,频率:1.562 5 GHz)。在选择信号的控制下,通过两级与非门和一级或非门将 4 路 1.562 5 Gbps 的低速并行数据转化成 6.25 Gbps 的高速串行数据。

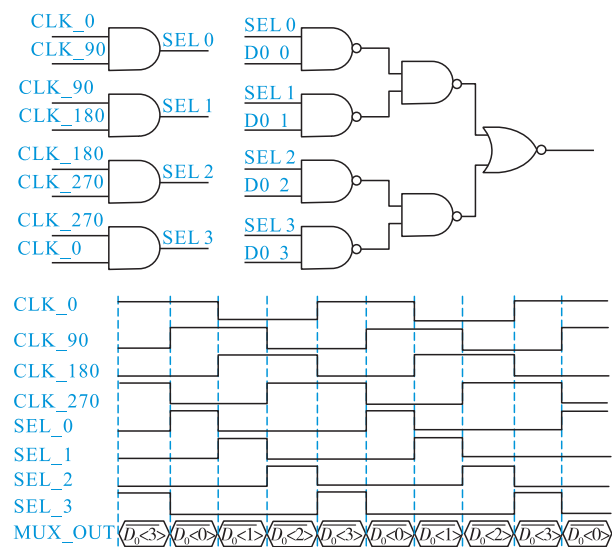


图 7 低速 16 : 4 MUX 逻辑电路与时序图

3.2.2 4 : 1 MUX

本级并串转换模块,采用一种高速的 CMOS 合路技术^[11],如图 8 所示,在该电路的作用下,低速并行数据分别经过 2 个正交时钟的联合采样,在最后一级实现线与和放大,4 路 6.25 Gbps 的低速信号转化成为 1 路 25 Gbps 的高速信号,再经过 CML-TOCMOS 的转化模块,使信号具有较强的带负载能力后,送往电压模驱动电路进行编码和驱动。

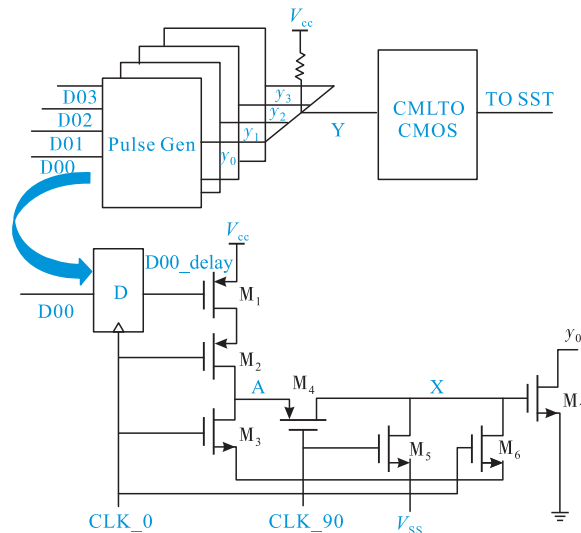


图 8 高速 4 : 1 MUX 框架与电路图

图 9 为合路器在不同 V_{SS} 值下的数据采样过程。当 CLK_90 处于下降沿时, M_4 开始导通, M_5 截止。此时 CLK_0 处于低电平,因此控制的 M_2 也开始处于导通状态,若此时数据 D_0 为 0,则 A 处由低电平变成高电平;当 CLK_0 处于上升沿时, M_2 开始截止, M_3 、 M_6 开始导通,使得 A 和 X 处电压被牵制在 V_{SS} 附近,即牵制在低电平附近。因此,该电路利用 CLK_90 的下降沿和 CLK_0 的上升沿实现对数据的采样。 M_7 对采样后的信号 X 进行反向驱动,在线与的作用下,4 路采样后的信号进行叠加从而实现合路功能。图 10(a)为 4 : 1 MUX 电路时序图,当 D_0 、 D_1 、 D_2 、 D_3 分别为 0010、0111、0111、1100 时,合路后的信号为 0001011111100110,验证了合路器的正确性。图 10(b)为 4 : 1 MUX 输出信号眼图,眼宽为 0.97 UI,表明该合路器很好地实现了合路功能。

3.3 时钟模块

时钟模块由锁相环电路、时钟调整电路、前向时钟模块组成。如图 3 发射机系统框架图所示,由外部时钟电路产生的 6.25 GHz 和 1.562 5 GHz 4 相正交时钟,分别作为 16 : 4 MUX 和 4 : 1 MUX 的时钟信号。前向时钟模块将数据端发出的 16 UI 的数据 0101...01 经过 4 : 1 MUX 重定时后合成 8 UI 的时钟信号,通过电压模驱动电路发送到接收端作为时钟参考。

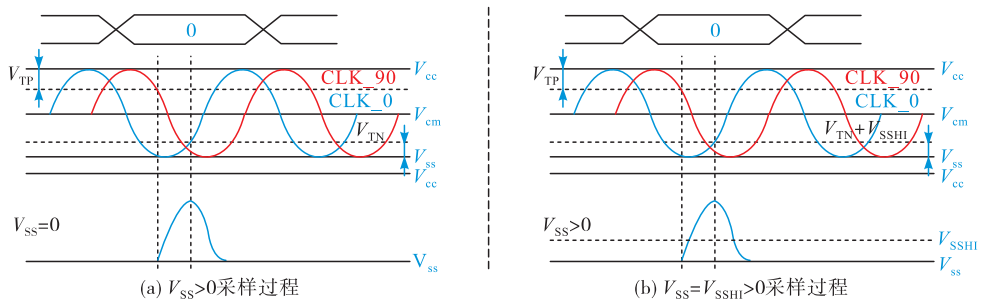


图 9 高速 4 : 1 MUX 不同 V_{ss} 值下的数据采样

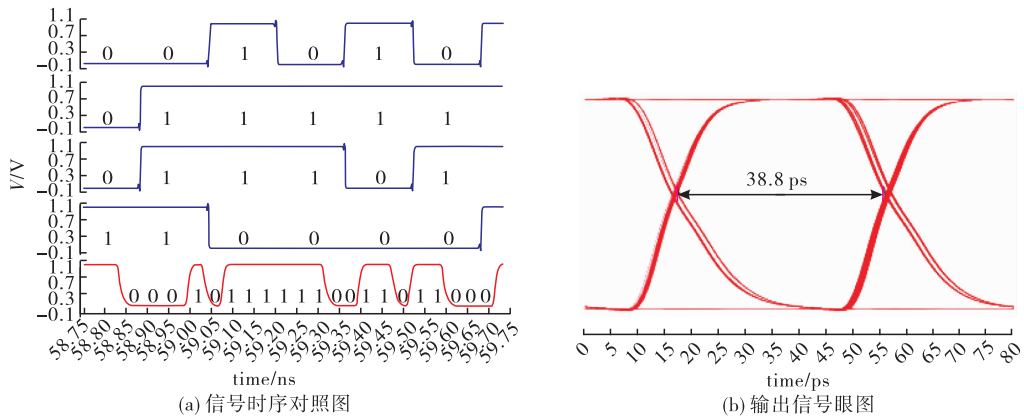


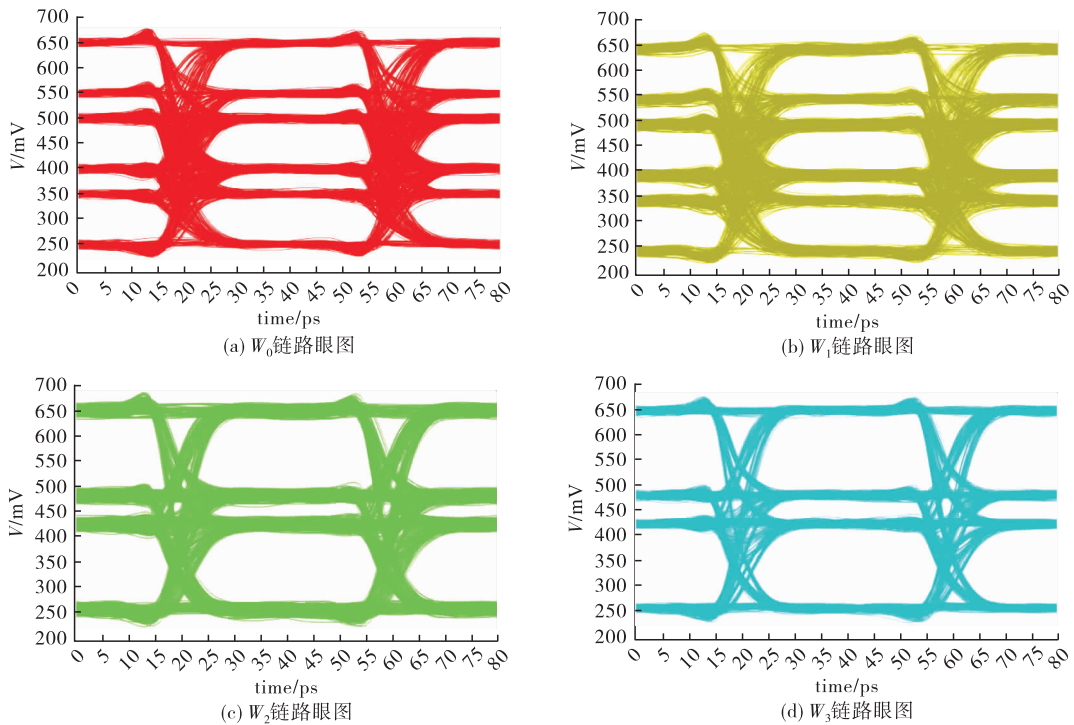
图 10 4 : 1 MUX 时序对照与眼图

4 仿真验证

采用 TSMC 28 nm 工艺进行仿真验证。发射机的输入数据为伪随机码 PRBS31, 负载为电阻为 50Ω 、衰减为 -7.5 dB 的模拟信道。图 11 分别为 6 个链路信号的眼图。眼宽最大 0.863 UI, 最小 0.685 UI。其中, W_0 、 W_1 、 W_4 、 W_5 因 3 bit 数据信号

以 3、2、3 的权重叠加而有 6 个电平; W_2 、 W_3 因 2 bit 数据信号以 3、4 的权重叠加而有 4 个电平。

对驱动电路参数进行设计, 将电压幅值裕度设置为 400 mV, 共模电压设置在 450 mV。以 W_0 、 W_2 链路为例, 根据式(4) W_0 链路的电压计算方法, 则电压幅值裕度比重分别为 4、2、4、2、4。可以得到 W_0 链路电压理论值和电压仿真值、理想眼高和仿真眼高的对比, 如表 1 所示。



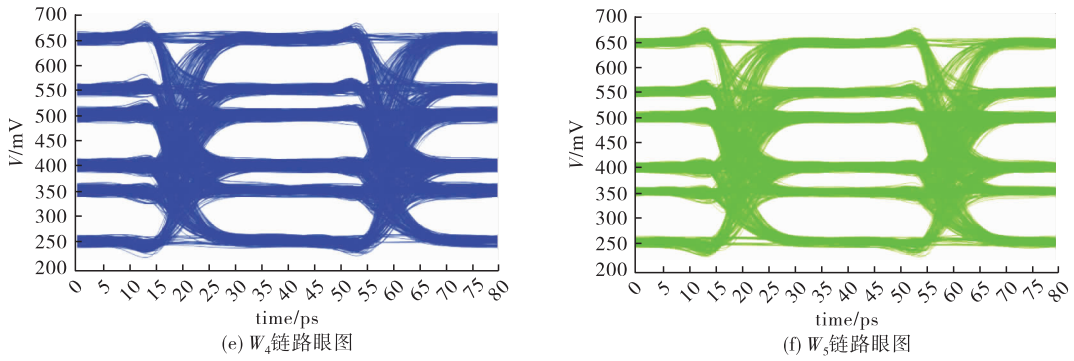


图 11 发射机各链路眼图

同 W_0 链路电压计算方法类似, W_2 链路的电压计算公式为: $V_{(W_2)} = (3V_{CM} + 3V_{(D_0)} + 4V_{(D_1)})A$, 则电压幅值裕度比重分别为 6、2、6。可以得到 W_2 链路电压理论值和电压仿真值、理想眼高和仿真眼高的对比。

表 1 W_0 、 W_1 链路理论与仿真对比 单位: mV

链路	电压		眼高	
	理论值	仿真值	理想	仿真
W_0	250	249.2	100	80.8
	350	349.0	50	32.9
	400	401.2	100	78.3
	500	500.5	50	31.6
	550	550.1	100	76.3
	650	648.9		
W_1	250	246.8	171.4	144.1
	421.4	419.2	57.2	26.4
	478.6	474.3	171.4	140.1
	650	645.8		

经过对比, 链路传输的电压理论值和仿真值接近, 进一步证明了链路的线性度较好; 对比眼高的理想值和仿真值, 最差眼高也可达到理想眼高的 46.2%。

图 12 为发射机 W_0 和 W_2 链路的后仿真输出信号眼图, 从图中可以看出, 后仿波形带宽压缩, 跳变沿缓慢, 但眼图清晰, 最小眼高为理想眼高的 38.9%, 最小眼宽可达到 0.41 UI (1 UI=40 ps)。

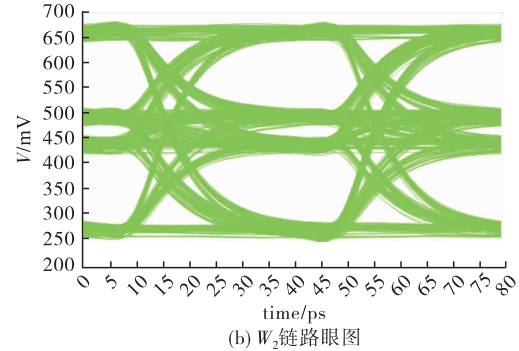
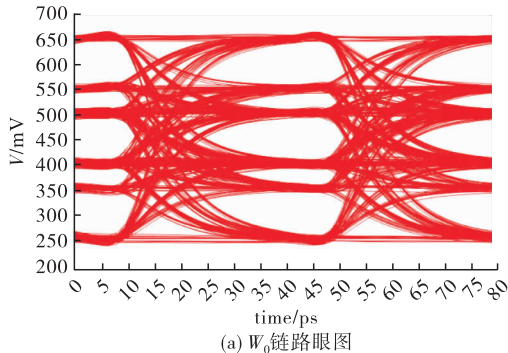


图 12 W_0 、 W_2 链路后仿真输出信号眼图

将本文的后端电路与 verilog 的行为级接收机进行联合仿真, 如图 13 误码率浴盆曲线所示, 在经过 -7.5 dB 信道损失的情况下, 误码率为 $1E^{-12}$ 时, 水平眼宽可达到 16.4 ps (0.41 UI)。

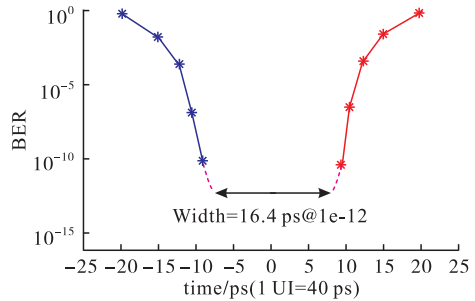


图 13 误码率浴盆曲线

表 2 给出了本文与先进的信令传输对比。对比可以发现, 在同样的 28 nm 工艺下, 与文献[12]相比, 本文的传输速率更高。与文献[3]、[13]相比, 在相同速率和相近功耗下, 本设计能够承载更多的信道损失。

表 2 性能比较

性能	文献[12]	文献[3]	文献[13]	本文
信令	SES	CNRZ-5	CNRZ-5	CNRZ-5
工艺/nm	28	28	16	28
链路吞吐量/(Gbps/w)	20	20.83	20.83	20.83
传输速率/(Gb/s)	20	125	125	125
信道损失/dB	1	3	4.5	7.5
功耗/(pJ/bit)	0.54	0.94	1.02	1.1

5 结语

本文设计了一款基于 CNRZ-5 编码理论的 125 Gbps 高速 serdes 发射机电路。在电路设计中,并串转换电路采用了一种高速的 MUX 4 : 1 电路,分别利用两相正交时钟的上升沿与下降沿进行采样,确保高速合路下的零误码;采用预编码的 SST 驱动电路实现了发射端编码,保证了驱动电路的线性度,并解决了驱动电路与信道的阻抗匹配问题。从仿真结果来看,发射机速率达到 125 Gb/s 时,单线传输速率平均可达 20.83 Gb/s,信号眼图最小眼宽可达 0.41 UI,功耗低至 1.1 pJ/b。

参考文献:

- [1] LI T, HOU J, YAN J, et al. Chiplet Heterogeneous Integration Technology-Status and Challenges [J]. *Electronics*, 2020,9(4): 670.
- [2] 杨晖.后摩尔时代 Chiplet 技术的演进与挑战[J]. *集成电路应用*, 2020, 37(5): 52-54.
- [3] SHOKROLLAHI A, CARNELLI D, FOX J, et al. A Pin-Efficient 20.83 Gb/s/wire 0.94 pJ/bit Forwarded Clock CNRZ-5-Coded SerDes up to 12mm for MCM Packages in 28 nm CMOS[C]//2018 IEEE International Solid-State Circuits Conference. San Francisco, CA;IEEE,2018;182-184.
- [4] TAJALLI A, HORMATI A, SHOKROLLAHI A. Chord Signaling for High-Speed Data Movement: Employing Advanced Communication and Circuit Techniques to Augment Data-Transfer Bandwidth[J]. *IEEE Solid-State Circuits Magazine*,2019(2): 78-85.
- [5] 刘登宝,王子谦,白雪飞,等.基于 SST 驱动器的低功耗 10 Gbit/s 发射机[J]. *微电子学*,2018,48(3): 338-343.
- [6] KIM S, JEONG Y, LEE M, et al. A 5.2 Gb/s Low-Swing Voltage-Mode Transmitter with an AC/DC-Coupled Equalizer and a Voltage Offset Generator [J]. *IEEE Transactions on Circuits Systems*,2014,61(1): 213-225.
- [7] CHEN S, LI H, SHI X B, et al. A Low-power High-Swing Voltage-Mode Transmitter[J]. *Journal of Semiconductors*, 2012,33(4):1-6.
- [8] 彭嘉豪,李儒章,付东兵,等.基于差分编码技术的 12.5 Gbps 高速 SerDes 发射机设计[J]. *微电子学*, 2021,51(1):85-90.
- [9] CELIK F, AKKAYA A, TAJALLI A, et al. A 32 Gb/s PAM-4 SST Transmitter with Four-Tap FFE Using High-Impedance Driver in 28-nm FDSOI[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2021, 29(6):1132-1140.
- [10] LUO Y, CHEN G, ZHOU K. 60 Gb/s low jitter 4 : 1 Mux and 1 : 4 DeMux[C]//2008 51st Midwest Symposium on Circuits and Systems. Knoxville, TN; IEEE,2008; 590-593.
- [11] KIM J, KUNDU S, BALANKUTTY A, et al. A 224 Gb/s DAC-Based PAM-4 Transmitter with 8-tap FFE in 10 nm CMOS[C]//2021 IEEE International Solid-State Circuits Conferenc. San Francisco, CA; IEEE, 2021:1-68.
- [12] POULTON J W, DALLY W J, CHEN X, et al. A 0.54 pJ/b 20 Gb/s Ground-Referenced Single-Ended Short-Reach Serial Link in 28 nm CMOS Foradvanced Packaging Applications [J]. *IEEE Journal of Solid State Circuits*,2013,48(12):3206-3218.
- [13] TAJALLI A, BASTANI P M, CARNELLI D A, et al. Short-Reach and Pin-Efficient Interfaces Using Correlated NRZ [C]//2020 IEEE Custom Integrated Circuits Conference. [S. l.];IEEE,2020;1-8.

(编辑:徐敏)