

一种快速锁定低抖动的时钟数据恢复电路

武宇轩, 吕方旭, 吴苗苗

(空军工程大学防空反导学院, 西安, 710051)

摘要 设计了一款应用于光通信 28 Gb/s 非归零码高速串行接收机的快速锁定、低抖动时钟数据恢复电路。为了解决时钟抖动性能和锁定时间难以兼顾的问题,在比例-积分通路分离的电路结构中,提出了锁定检测判别技术,实现了比例通路增益的可调节,使得环路能够在低抖动的情况下快速锁定。通过 Cadence Spectre 进行仿真,当环路中使用锁定检测判别技术时,锁定时间为 400 ns,抖动峰峰值为 2.5 ps。相较于未使用该技术的环路,锁定时间缩短了 33%,抖动降低了 40%。

关键词 时钟数据恢复电路;锁定检测判别技术;快速锁定;低抖动

DOI 10.3969/j.issn.1009-3516.2020.04.011

中图分类号 TN432 **文献标志码** A **文章编号** 1009-3516(2020)04-0068-06

A Fast Locking and Low Jitter Clock and Data Recovery Circuit

WU Yuxuan, LYU Fangxu, WU Miaomiao

(Air and Missile Defense College, Air Force Engineering University, Xi'an 710051, China)

Abstract This paper designs a fast locking and low jitter clock and data recovery circuit applied to 28 Gb/s non-return-to-zero code high-speed serial optical communication receiver. In order to solve the problem that clock jitter and locking time are difficult to be considered at the same time, the lock detection and discrimination technology is proposed in the circuit with separate proportional-integral path to realize the adjustable gain of proportional path and enable the loop to lock quickly under condition of low jitter. The simulation is carried out by Cadence Spectre. When the lock detection and discrimination technology is used in the loop, the locking time is about 400 ns and the jitter peak-to-peak value is about 2.5 ps. Compared with the other two schemes, the locking time is reduced by 33% and the jitter is reduced by 43%.

Key words clock and data recovery circuit; lock detection and discrimination technology; fast locking; low jitter

近年来,高速串行接口发展迅速,根据 ISSCC 的统计,不同硬件中,虽然串行接口的速率不同,但均以指数形式增长^[1-2]。

时钟数据恢复电路(Clock and Data Recovery circuit, CDR)广泛用于计算机^[3]和光通信领域^[4]。

不论是日常生活中常见的显卡接口,硬盘接口,还是用于高端研究的超级计算机,它们的快速发展都离不开高速串行接口技术的进步。而 CDR 正是高速串行接口接收机中最关键的电路模块。

CDR 主要用于时钟与数据的同步,从携带噪声

收稿日期: 2020-01-03

作者简介: 武宇轩(1996—),男,陕西宝鸡人,硕士生,主要从事高速串行接口研究。E-mail:963948202@qq.com

通信作者: 吕方旭(1988—),男,陕西合阳人,讲师,主要从事高速串行接口研究。E-mail:lvfangxu1988@163.com

引用格式: 武宇轩,吕方旭,王建业,等.一种快速锁定低抖动的时钟数据恢复电路[J].空军工程大学学报(自然科学版),2020,21(4):68-73. WU Yuxuan, LYU Fangxu, WU Miaomiao. A Fast Locking and Low Jitter Clock and Data Recovery Circuit[J]. Journal of Air Force Engineering University (Natural Science Edition), 2020, 21(4): 68-73.

的数据中提取出时钟信息,对数据进行重定时,恢复出高质量的时钟和数据^[5]。它的抖动容限、稳定性直接决定了接收机的性能^[6];而 CDR 恢复出的时钟质量则决定了数据重定时的效果是否最佳,直接影响到所接收数据的可靠性。

恢复时钟的抖动大小以及环路的锁定时间是决定一款 CDR 性能优劣的重要指标。在光通信领域,影响环路稳定性的一个重要因素就是 CDR 的锁定时间,缩短 CDR 的锁定时间能够提高环路稳定性^[7]。

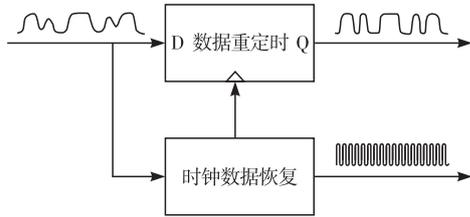


图 1 CDR 的工作原理示意图

若要缩短环路的锁定时间,就要求环路带宽必须足够大,但其抖动性能则会大幅下降;若要恢复出低抖动的时钟,则环路会耗费较长的时间才能锁定^[8]。Tang^[6] 和 Hwang^[9] 设计了数字频差检测器,使环路滤波器的电阻值可调节;Woo 和 Chen^[10-11] 使用了锁定检测器;Chen 设计了一种能够检测数据和参考时钟沿时序关系的模块。他们都通过改变比例通路增益的方式来缩短环路锁定时间,但是其电路仅用于较低速率的数据传输,且电路结构较为复杂。本文提出了一种能够应用于高速率 CDR 的锁定检测判别技术,可根据参考时钟频率和压控振荡器中心频率的频差大小,输出相应的控制信号,实现比例通路增益的可调节,使该 CDR 同时具备快速锁定和低抖动的特点。

1 低抖动快速锁定的理论分析

CDR 主要由鉴相器(Phase Detector, PD)、电荷泵(Charge Pump, CP)、环路滤波器(Low-Pass Filter, LPF)、压控振荡器(Voltage-Controlled Oscillator, VCO)组成,其结构如图 2 所示^[12]。

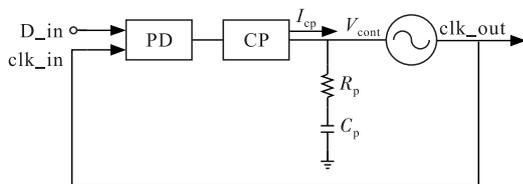


图 2 传统 CDR 结构

本文所设计的 CDR 如图 3 所示,使用比例通路和积分通路分离的结构。比例通路能够对 VCO 直

接、快速地进行频率调节,积分通路能够扩大环路的锁定范围。2 个通路能够相对独立地对 VCO 的输出频率实施不同程度的调节。

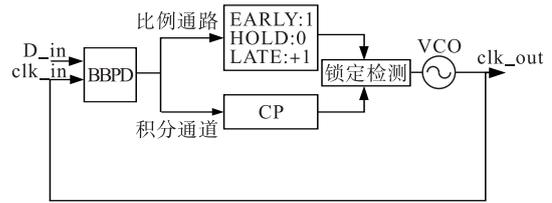


图 3 比例-积分通路分离 CDR

文献[13~14]对 CDR 的稳定性进行了研究,并给出了其系统模型,见图 4。

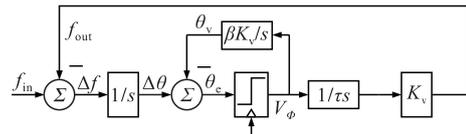


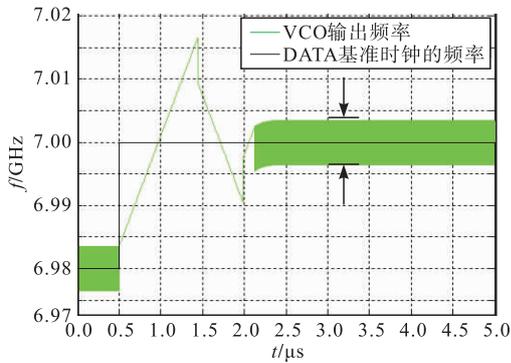
图 4 CDR 的系统模型

其中,采样的更新时间设置为: $T_{update} = \frac{1}{f_{nom}}$, $\theta_d(t_n)$ 、 $\theta_v(t_n)$ 分别表示输入数据和 VCO 在 t_n 时刻的相位, $\theta_e(t_n)$ 为二者的差值,而 $t_{n+1} = t_n + 1/f_{nom}$ 。假设 VCO 的理想输出频率是 f_{nom} ,输入方波的频率偏移 VCO 理想频率的差值是 δf 。因此,输入信号可以表示为: $\sin[2\pi(f_{nom} + \delta f)t]$,其中数据相位为 $2\pi\delta f t_n$; 相位关系可以用符号函数 ϵ_n 表示, $\epsilon_n = \text{sign}[\theta_d(t_n) - \theta_v(t_n)]$ 其中。经过衰减因子 β 驱动 VCO 进行相位调整,每次频率调整的步长表示为: $f_{bb} = \beta K_v$ 。另外,根据比例通路和积分通路相位更新量的比值来定义稳定因子 $\zeta = \frac{\Delta\theta_{bb}}{\Delta\theta_{int}}$, θ_{bb} 、 θ_{int} 分别是比例通路相位的变化步长,且有 $\theta_{bb} = \beta V_\phi K_v T_{update}$, $\theta_{int} = V_\phi K_v T_{update}^2 / 2\tau$ 故稳定因子可写作 $\zeta = \frac{2\beta\tau}{T_{update}}$,二阶环路 CDR 的微分方程表示如下:

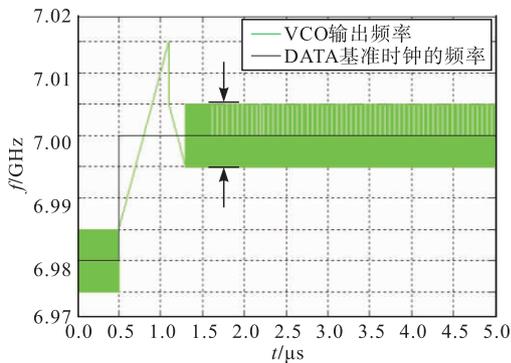
$$\begin{cases} \theta_d(t_n) = \theta_d(0) + 2\pi\delta f t_n \\ \theta_v(t_{n+1}) = \theta_v(t_n) + \theta_{bb}(\epsilon_n + \frac{1}{\zeta} \sum_0^n \epsilon_n) \\ \epsilon_n = \text{sign}[\theta_d(t_n) - \theta_v(t_n)] \end{cases}$$

在二阶环路中必须确保比例通路占主导因素,在每一次更新的过程中,比例通路的更新相位要尽可能多的大于积分通路的相位变化量。适当增大比例通路的频率调节步长 f_{bb} ,从而使稳定因子 ζ 增大、环路锁定时间缩短取 $\zeta = 1000$, $\delta f = 20 \text{ MHz}$, $f_{nom} = 7 \text{ GHz}$,对具有不同 f_{bb} 值的模型进行 MATLAB 仿真,结果如图 5(a)、(b)、(c)所示。当 f_{bb} 值

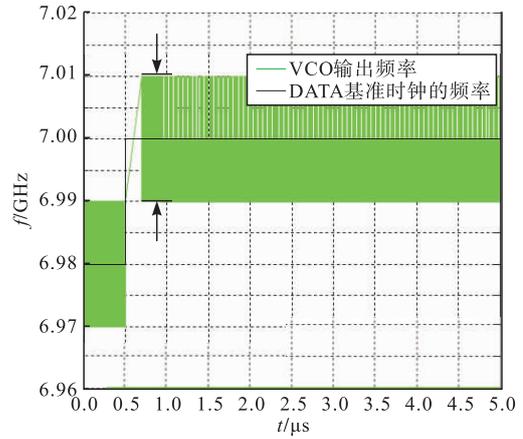
分别取 5 MHz、10 MHz、20 MHz 时的锁定情况，其锁定时间分别为 2.5 μ s、1.3 μ s 和 0.7 μ s。从仿真结果可知，较大的 f_{bb} 虽然能够缩短环路的锁定时间，但由于锁定后恢复时钟仍在以 f_{bb} 的大小上下波动，故会引入较大的抖动；若减小 f_{bb} ，虽可降低恢复时钟的抖动，但却会导致环路的锁定时间延长。基于这个问题，本文提出了一种锁定检测判别技术，利用锁定检测模块，使环路能够根据恢复时钟与 VCO 中心频率差的大小调整 f_{bb} 的值，从而在缩短锁定时间的同时降低时钟抖动。



(a) $f_{bb}=5$ MHz, 锁定时间为 2.5 μ s



(b) $f_{bb}=10$ MHz, 锁定时间为 1.3 μ s



(c) $f_{bb}=20$ MHz, 锁定时间为 0.7 μ s

图 5 不同 f_{bb} 值的锁定情况

2 低抖动快速锁定 CDR

2.1 整体结构

本文设计的低抖动快速锁定 CDR 整体架构如图 6 所示，采用 1/4 速率系统架构，利用八相正交的 7 GHz 时钟对数据进行采样。通过二进制鉴相器^[15-16]对时钟和数据的相位关系进行判断，所得结果由 EARLY 1~3 和 LATE 1~3 输出，再由“择多逻辑门”电路对判断结果进行选择，得到最终的相位关系 EARLY 和 LATE。鉴相结果通过比例通路和积分通路，以不同的效果作用于 VCO：比例通路通过控制信号 V_{bb0} 、 V_{bb1} 和 V_{bb0}^* 、 V_{bb1}^* ，对 2 组不同大小的电容阵列分别进行控制，使 VCO 的频率能够不同程度地快速调节；积分通路则通过积分电容，使电荷泵输出的电流转化为电压信号 V_c ，实现对 VCO 精细调节。VCO 输出的 2 路差分正弦信号，经过缓冲器和相位插值器的转换，恢复出 CDR 的八相时钟。

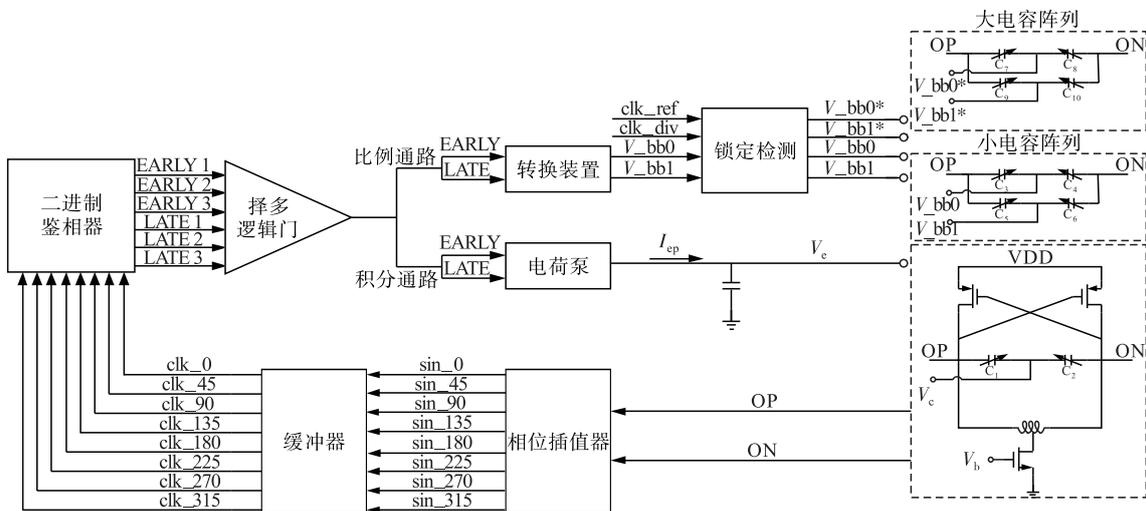


图 6 本文 CDR 的整体电路结构

2.2 转换装置

“择多逻辑门”电路产生的最终鉴相结果,分别经过积分通路和比例通路完成对 VCO 输出相位的调整。比例通路中,鉴相结果的超前、滞后、保持的控制逻辑和 VCO 的 3 个控制状态无法一一对应,因此需要增加图 7 转换电路实现二者之间的对应关系。

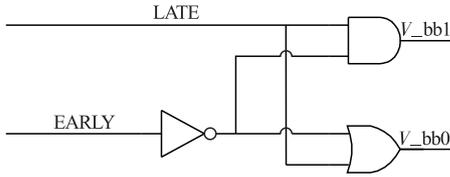


图 7 比例通路设计

如表 1 所示,当 EARLY/LATE 判决结果均为 1 或均为 0 时,2 个控制字中有一个为 1,使 VCO 频率保持不变;当 LATE=0,EARLY=1 时,2 个控制字均为 0,VCO 频率下降;当 LATE=1,EARLY=0 时,2 个控制字均为 1,VCO 频率上升。最终实现对 VCO 状态的一一对应。

表 1 鉴相结果与比例通路输出关系

EARLY	LATE	V _{bb0}	V _{bb1}	VCO 频率
0	0	1	0	保持
1	1	0	1	保持
1	0	0	0	下降
0	1	1	1	上升

2.3 压控振荡器

本文设计的 VCO 为 LC 振荡器,适用于高精度、高频率环境。VCO 电路结构如图 8 所示。

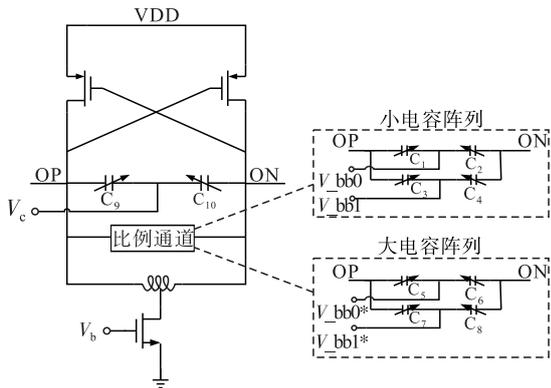


图 8 压控振荡器电路设计

VCO 的频率由 10 个压控电容的大小决定。电荷泵的输出电压 V_c , 控制电容 C_9, C_{10} , 比例通道的控制信号 V_{bb0} 和 V_{bb1} 控制小电容阵列 $C_1 \sim C_4$, V_{bb0^*} 和 V_{bb1^*} 控制大电容阵列 $C_5 \sim C_8$ 。小电容阵列可实现较小的 f_{bb} ; 大电容阵列可实现较大的 f_{bb} 。这些电容共同作用,以实现 VCO 频率不同程度的调节。

2.4 锁定检测模块

锁定检测模块的电路图结构如图 9 所示。二分频恢复时钟 clk_div 和参考时钟 clk_ref 分别与 2 个

D 触发器的 clk 和 D 端连接,经过“同或”逻辑门的输出 V_{cont} 能够反映 2 个时钟信号的频差或相差关系。当二者具有较大的频率差时, V_{cont} 输出为高电平;当二者无频率差较小或仅存在相位差时, V_{cont} 输出为低电平。 V_{bb0} 和 V_{bb1} 是图 7 中比例通路的 2 路控制信号, V_{cont} 与 V_{bb0} 和 V_{bb1} 经过“与”逻辑门输出分别为 V_{bb0^*} 和 V_{bb1^*} ,用于控制 VCO 中大电容阵列 $C_5 \sim C_8$ 。

锁定检测模块的功能分析如下。当 clk_div 和 clk_ref 存在较大频差时,CDR 处于未锁定状态, V_{cont} 处于高电平状态, V_{bb0^*} 和 V_{bb1^*} 的输出取决于 V_{bb0} 和 V_{bb1} ,VCO 中大电容阵列 $C_5 \sim C_8$ 和小电容阵列 $C_1 \sim C_4$ 同时被接入,使 f_{bb} 值变大,能够达到缩短锁定时间的作用;当 clk_div 和 clk_ref 频差较小或仅存在相位差时,CDR 接近或已经进入锁定状态, V_{cont} 处于低电平状态, V_{bb0^*} 和 V_{bb1^*} 的输出为低,大电容阵列 $C_5 \sim C_8$ 未被接入,VCO 中仅有小电容阵列 $C_1 \sim C_4$ 被接入,使 f_{bb} 值变小,能够实现恢复时钟的较低抖动。

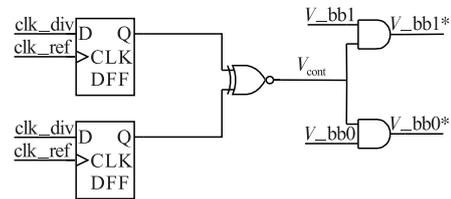
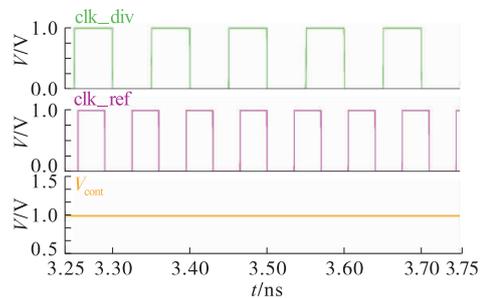
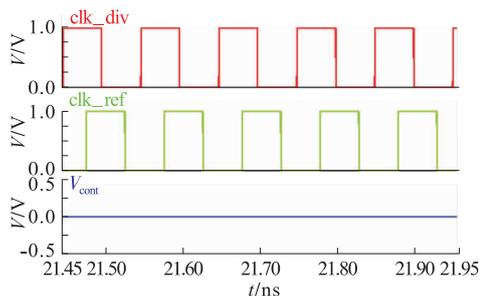


图 9 锁定检测模块

对锁定检测模块在 2 种不同情况下进行仿真。如图 10(a)所示,当 clk_div 与 clk_ref 存在频率差时, V_{cont} 输出结果为高电平,如图 10(b)所示, clk_div 与 clk_ref 无频率差,仅存在相位差, V_{cont} 输出结果为低电平。



(a) 频差较大



(b) 频差较小

图 10 锁定检测模块的仿真

3 仿真结果

本文采取 TSMC65nm 工艺,利用 Cadence Virtuoso 设计该时钟数据恢复电路的版图,面积为如图 11 所示。其中标号 1 处为 CP,标号 2 处为二进制鉴相器,标号 3 处为锁定检测模块,标号 4 处为 buffer,标号 5 处为相位插值器,标号 6 为 VCO。

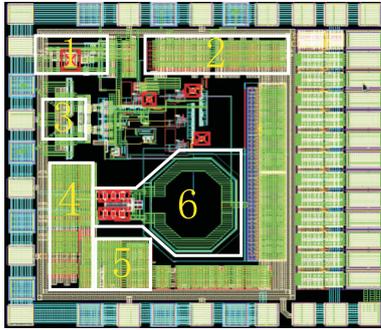


图 11 芯片版图

本文仿真了在不同比例通路增益 f_{bb} 的情况下环路的性能参数,如表 2 所示。其中,方案 3 使用了锁定检测判别技术,可以切换使用 2 组电容阵列,达到快速锁定。

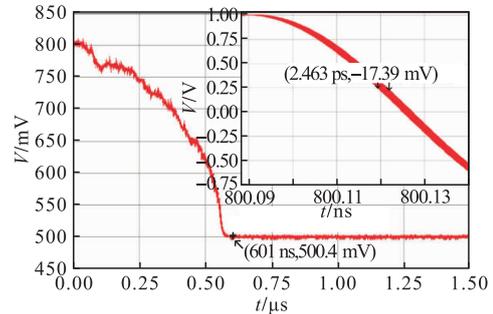
表 2 本文 CDR 的性能参数

方案	1	2	3
f_{bb}/MHz	50	100	50/100(可调)
锁定时间/ns	600	400	400
抖动峰值值/ps	2.463	4.223	2.514

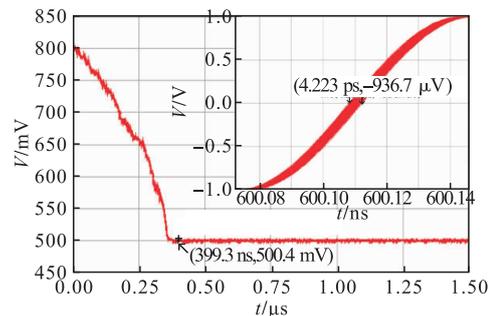
现在向本 CDR 发送 28 Gb/s 非归零码数据。图 12 给出了 3 种方案从发送数据开始到环路进入锁定状态的过程中,VCO 的控制电压和恢复时钟眼图抖动值的测量结果:方案 1 仅使用小的电容阵列 $C_1 \sim C_4$,对应的比例通路增益值 f_{bb} 约为 50 MHz。此方案锁定时间约为 600 ns,恢复时钟抖动的峰峰值约为 2.463 ps;方案 2 仅使用大的电容阵列 $C_5 \sim C_8$,对应的比例通路增益值 f_{bb} 约为 100 MHz。此方案锁定时间约为 400 ns,恢复时钟抖动的峰峰值约为 4.223 ps;方案 3 在环路中引入了锁定检测模块,可根据 VCO 的输出频率与其中心频率偏差值输出高电平或低电平,以达到切换使用大、小 2 组电容阵列的目的。由仿真结果可知,未引入锁定检测模块前,环路的锁定时间和恢复时钟的抖动值需要相互折衷,二者无法同时达到最优;但在引入锁定检测模块后,环路锁定时间约为 400 ns,恢复时钟抖动的峰值约为 2.514 ps,能够在不牺牲恢复时钟抖动性能的前提下,使环路以较快的速度进入锁定状态,说明这种方法能够兼顾前 2 种方案各自的优势。

图 13 是锁定检测模块的控制信号 V_{cont} 随时间

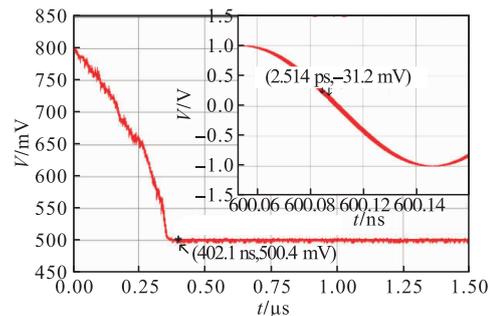
变化的图像。在环路锁定之前,其输出常处于高电平状态,以确保 2 组电容阵列同时工作。此时,比例通路增益值 f_{bb} 达到 150 MHz,能够有效缩短环路的锁定时间;当环路接近锁定及锁定之后,其输出为低电平,使大电容阵列断开,比例通路增益值 f_{bb} 重新回到 50 MHz。此时,环路能够产生低抖动的时钟信号。



(a) 方案 1



(b) 方案 2



(c) 方案 3

图 12 VCO 的控制电压和时钟抖动的测量

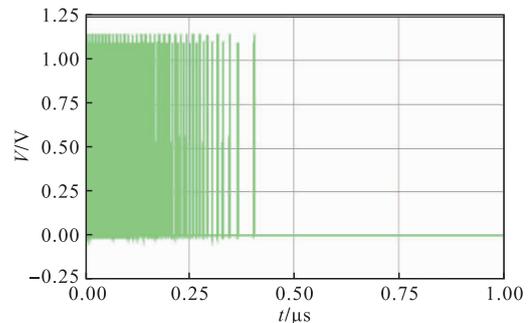


图 13 锁定检测模块的输出

4 结语

本文设计了一种应用于 28 Gb/s 非归零码接收

机的CDR,该CDR应用了锁定检测模块,可根据环路的锁定情况输出不同电平,以达到控制比例通路增益值 f_{bb} 的目的,有效解决了环路锁定时间和恢复时钟抖动性能难以兼顾的问题,使环路同时具备低抖动、快速锁定的优秀性能。相比于低抖动的方案1,锁定时间得到了缩短;相比于快速锁定的方案2,在保证锁定时间基本一致的情况下,使恢复时钟的抖动值被大大降低。

参考文献

- [1] DALY D C, FUJINO L C, SMITH K C. Through the Looking Glass-the 2018 Edition; Trends in Solid-State Circuits from the 65th ISSCC[J]. IEEE Solid-State Circuits Magazine, 2018,10(1):3-46.
- [2] NARENDRA S G, FUJINO L C, SMITH K C. Through the Looking Glass? The 2015 Edition; Trends in Solid-State Circuits from ISSCC[J]. IEEE Solid-State Circuits Magazine, 2015,7(1):14-24.
- [3] EI-SAYED Y, WAGEEH A, ISMAIL T, et al. All-Optical Clock and Data Recovery Using Self-Pulsating Lasers for High-Speed Optical Networks[C]//The 5th International Conference on Energy Aware Computing Systems&Application. Cairo, Egypt; IEEE, 2015: 1-3.
- [4] CHEW S, LI H, CHIANG P Y. A Robust Energy/Area-Efficient Forwarded-Clock Receiver with All-Digital Clock and Data Recovery in 28 nm CMOS for High-Density Interconnects[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(2):578-586.
- [5] HOU C L, WANG Z Q, HUANG K, et al. A 20 GHz PLL for 40 Gbps SerDes Application with 4 bit Switch-Capacitor Adaptive Controller[C]//2014 IEEE International Conference on Electron Devices and Solid-State Circuits. Chengdu, China: IEEE, 2014.
- [6] JARRETT-AMOR D, PARK Y J, YUAN F. Time-mode Techniques for Fast-Locking Phase-Locked Loops[C]//2016 IEEE International Symposium on Circuits and Systems. Montreal, QC, Canada; IEEE, 2016:1790-1793.
- [7] KUO Y F, WENG R M, LIU C Y. A Fast Locking PLL with Phase Error Detector[C]//2005 IEEE Conference on Electron Devices and Solid-State Circuits. Hongkong China: IEEE, 2005: 423-426.
- [8] TANG Y W, ISMAIL M, BIBYK S. A New Fast-Settling Gearshift Adaptive PLL to Extend Loop Bandwidth Enhancement in Frequency Synthesizers[C]//IEEE International Symposium on Circuits and Systems. Phoenix-Scottsdale, AZ, USA; IEEE, 2002: 787-790.
- [9] HWANG I, LEE S, KIM S. A Digitally Controlled Phase Loop with Fast Locking Scheme for Clock Synthesis Application[C]//2000 IEEE International Solid-State Circuits Conference Digest Technical Papers. San Francisco, CA, USA; IEEE, 2000:168-169.
- [10] WOO J K, JEONG D K, KIM S. Fast-locking CDR Circuit with Autonomously Reconfigurable Mechanism[J]. Electronics Letters, 2007,43(11): 624-626.
- [11] CHEN C, WANG C, JUAN C. A Fast-Locking Clock and Data Recovery Circuit with a Lock Detector Loop [C]// 2011 International Symposium on Integrated Circuits. Singapore:[s. n.], 2011:332-335.
- [12] CHEN F T, WU J M. An Extended Phase Detector 2.56/3.2 Gb/s Clock and Data Recovery Design with Digitally Assisted Lock Detector[C]//IEEE International Symposium on Circuits and Systems. [S. l.]: IEEE, 2009:1831-1834.
- [13] Behzad Razavi. 光纤通信集成电路设计[M]. 北京:人民邮电出版社,2002.
- [14] RAZAVI B. Designing Bang-Bang PLLs for Clock and Data Recovery in Serial Data Transmission Systems [M]. New York: Wiley-IEEE Press, 2003: 34- 45.
- [15] WANG S J, MEI H T, BAIG M, et al. Design Considerations for 2nd-Order and 3rd-Order Bang-Bang CDR Loops [C]//Proceedings of the IEEE 2005 Custom Integrated Circuits Conference. San Jose, CA, USA; IEEE, 2005: 317-320.
- [16] ALEXANDER JDH. Clock Recovery from Random Binary Signals[J]. Electronics Letters, 1975, 11 (22): 541-542.

(编辑:徐楠楠)