

# 一种多模导航接收机的数字化实现方案

邵春晖, 李治安, 李晓明

(空军工程大学 电讯工程学院, 陕西 西安 710077)

**摘要:**为解决导航体制不兼容的问题,提出了一种多模导航接收机数字化实现方案。该方案对中频信号进行A/D(Analog to Digital)采样后,仅用一片FPGA(Field Programmable Gate Array)实现了对多种体制信号的分析 and 处理,大大缩小了体积。主要对基于软件无线电的中频数字化接收机的频率规划、采样速率、模拟前端电路形式和增益分配以及自动增益控制进行了分析和综合设计,分析数据结果表明该方案可行。

**关键词:**软件无线电;中频数字化;灵敏度;自动增益控制

**中图分类号:** TN850    **文献标识码:** A    **文章编号:** 1009-3516(2007)06-0012-04

软件无线电的思想是将A/D采样尽量靠近天线<sup>[1]</sup>,这样由于其功能和性能都由软件决定,接收机可以获得最大的灵活性。软件无线电的灵活性,使得实现多频段、多模式的宽带接收机变得简单。现阶段主要研究并取得实际成果的主要是基于中频采样的中频数字化接收机技术,其解调、基带信号处理等都是要在一定的硬件环境下由软件实现的。基于软件无线电的某多模式导航接收机能较好地解决导航体制不兼容对飞行保障区域的限制,其采用FPGA实现中频以下信号数字化处理<sup>[2]</sup>,达到了缩小体积,减小功耗,增加灵活性和降低系统硬件复杂程度等目的<sup>[3]</sup>,使在原单模机载接收机位置安装多模接收机成为可能。但由于其工作于多体制、多工作状态、多频段,而不同体制、不同状态、不同频段对整机基本性能要求又各不相同,且影响这些性能的因素也各有差异,同时又由于其体制本身的原因部分参数无法改变等因素,使得该接收机设计必须综合考虑。

## 1 接收机的主要性能指标及前端设计方案

原接收机包括2种体制的3个接收机<sup>[4]</sup>,共需5个接收通道。2种体制A、B分时工作。体制A有2种工作状态,每种工作状态有2个同时工作的通道X和Y,第一种状态要求2个通道分别工作于频段L<sub>1</sub>和频段L<sub>2</sub>,频道间隔0.7 MHz;第二种工作状态要求2个通道都工作于频段L<sub>3</sub>,频道间隔2MHz,要求其两个通道有较好的一致性,以对接收到的不同位置天线的信号进行比较。体制B只要求有一个通道工作于962 MHz-1213 MHz,波道间隔1 MHz。体制A工作状态1要求两个通道邻频选择性60 dB,通道X要求灵敏度-101 dBm,信号带宽800 kHz,AGC深度80 dB,工作状态1通道Y要求灵敏度-88 dBm,信号带宽400 kHz,工作状态2要求两个通道灵敏度-88 dBm,邻频选择性40 dB,AGC深度60 dB。体制B要求灵敏度-89 dBm,镜频抑制60 dB,AGC深度80 dB,其信号带宽400 kHz。

综合以上接收机基本要求,在文献[5]-[8]基础上提出一种多频段、多模式、宽带中频带通采样数字化导航接收机的具体方案。整个接收机由2个通道组成,其硬件电路一致,性能按原接收机的最高要求设计,其适应性由软件设置。在体制B工作的情况下2个通道互相备份。每个通道按63 MHz左右带宽划分为4个工作频段。前端电调滤波器中心频率分别为14个工作频段的中心频率,通过频带63 MHz-65 MHz,频率

收稿日期:2007-07-13

基金项目:军队科研基金资助项目

作者简介:邵春晖(1976-),男,河北黄冈人,硕士生,主要从事无线电导航研究;

李治安(1957-),男,河北邯郸人,教授,主要从事通信与信息系统、无线电导航研究。

特性曲线斜度  $0.8 \text{ dB/MHz} - 1.0 \text{ dB/MHz}$ , 以达到  $60 \text{ dB}$  的镜频抑制。采用高本振和低本振结合, 本振频率范围  $833 \text{ MHz} - 1\ 150 \text{ MHz}$ , 间隔  $5.6 \text{ MHz}$  (即体制 A 的 8 个波道间隔) 或  $6 \text{ MHz}$  (体制 B 的 6 个波道间隔)。中频中心频率 =  $63 \text{ MHz}$ , 带宽  $(8 \pm 1) \text{ MHz}$ 。邻频抑制主要由数字信号处理部分完成。为避免低噪放进入饱和, 引入数控衰减器或 PIN 限幅器以限制  $10 \text{ dBm}$  以上幅度信号进入接收机并提高整机动态范围。

## 2 采样速率的选取

由于体制的原因, 中频频率已经取定为  $63 \text{ MHz}$ 。根据带通采样原理<sup>[1,9]</sup>, 采样速率的选取有几个原则: 一是满足信号带宽的要求; 二是尽量使数字下变频时所需要的 NCO 频率易于得到; 三是采样速率与后续信号尽量满足整数倍抽取以及便于 FIR 滤波器的设计; 四是与 A/D 器件的当前水平相适应。

根据以上要求, 设前端抗混叠滤波器的矩形系数为  $r=2$ , 为防止带外信号影响有用信号, 采样速率取

$$f_s \geq 2rB \quad (1)$$

式中:  $B=8 \text{ MHz}$  为中频滤波器带宽, 所以应有  $f_s \geq 32 \text{ MHz}$ 。

根据带通采样原理

$$\frac{2f_H}{n} \leq f_s \leq \frac{2f_L}{n-1} \quad (2)$$

式中:  $2 \leq n \leq \frac{f_H}{f_H - f_L}$ 。

本例中  $f_H = 67 \text{ MHz}$ ,  $f_L = 59 \text{ MHz}$ , 可得  $2 \leq n \leq 8$ , 相应  $f_s$  可以取  $17 \text{ MHz} - 118 \text{ MHz}$  中的多个值。为便于选择处理体制 A 的 8 个 (或体制 B 的 6 个) 波道中的一个, 本方案利用 NCO 振荡频率容易改变的特点, 通过改变 NCO 振荡频率来选达到选择将不同波道进行频谱搬移, 因此有:  $f_H - f_s \leq f_{\text{NCO}} \leq f_L - f_s$ , 且  $f_{\text{NCO}} \leq f_s/2$ 。另外后续数字信号处理电路要得到信号带宽分别为  $800 \text{ kHz}$ 、 $400 \text{ kHz}$  等信号, 综合以上因素及便于后续整数倍抽取和滤波, 取  $f_s = 56 \text{ MHz}$  (是 4、7、8 的整数倍)。

## 3 前端增益的计算

中频数字化接收机前端增益设计的原则是使前端增益足够大, 以使灵敏度大小的微弱信号加上接收机噪声电平在到达 A/D 采样前必须大于一个量化电平<sup>[10]</sup>。目前, 高速 A/D 采样芯片的输入信号最大峰峰值为  $2\text{V}$  或更低, 使得对前端的增益要求大大降低。以本方案采用 AD9244 为例, 其为 14 位 A/D, 最大输入电平为  $2V_{p-p}$ , 因此一个量化电平为  $122 \mu\text{V}$ , 在  $50 \Omega$  电阻上的有效功率为  $-74.3 \text{ dBm}$ 。因此须将前端热噪声放大到  $-74.3 \text{ dBm}$  才能保证噪声加信号电平超过 A/D 转换一个量化电平。故接收机前端增益可计算如下:

总增益 = 量化电平 - 热噪声密度 -  $10\lg B$ ,  $B$  为信号带宽, 这里为  $400 \text{ kHz}$ , 这里设前端级联噪声系数取 7 dB, 则总增益 =  $-74.3 \text{ dBm} - (-174 \text{ dBm/Hz} + 7 \text{ dB}) - 10\lg 400\ 000 = 36.7 \text{ dB}$  考虑到一定余量, 取前端增益为  $40 \text{ dB}$ 。

为避免 A/D 输入高电平干扰信号时 ADC 进入饱和, 通常阻塞信号大于正常信号  $3 \text{ dB}^{[7]}$ , 输入电压必须留一定的“净空”, 这样一是可以兼顾导航信号的峰值 - 均值比 ( $6 \text{ dB}$  左右), 二是可以增加 ADC 的工作带宽, 三是可以减少孔径抖动带来的噪声。因此, 这里规定 ADC 允许输入最高峰值电平为  $0 \text{ dBm}$ , 即低于满量程电平  $10 \text{ dB}$ 。

当 ADC 输入信号电平大于  $0 \text{ dBm}$  时, 即射频输入信号大于  $-40 \text{ dBm}$  时, 则 A/D 进入“净空”, 此时通过前端 AGC 电路起控, 以保证 ADC 不至于饱和。

## 4 AGC 起控点的计算

接收机的接收信号幅度范围  $-101 - +10 \text{ dBm}$ , 动态范围  $111 \text{ dB}$ 。要保证动态范围内信号电平过大接收机前端和 A/D 不至于饱和, 必须设置前端数控衰减器和 AGC 起控电平以及数字电路 AGC 起控电平。对于模拟前端的设计一般要求是大动态范围, 其输出幅度不至于 A/D 饱和是前端模拟 AGC 起控的依据。因

此:前端 AGC 起控电平是 A/D 允许输入电平与前端净增益之差,为  $-40$  dBm。所以有:前端 AGC 控制范围  $= 10 - (-40) = 50$  dB

它由前端 PIN 限幅器(或数控衰减器)和中放 AGC 两部分完成,PIN 限幅约 30 dB,中放 AGC 约 20 dB。它们的衰减控制字由数字信号处理部分根据解调信号的幅度计算给出,保证前端低噪声放大器和中放电路不进入饱和区。

根据接收机对 AGC 深度的要求,总 AGC 深度为 80 dB,剩余 30 dB 在数字信号处理部分实现。

## 5 数字信号处理 FPGA 选取

采用 Altera 公司 Stratix II 系列高档高密度 FPGA EP2S60F48414<sup>[11]</sup>,其具有多达 60 440 个等价逻辑单元(LE)和 24 176 个自适应逻辑单元(ALM),支持可编程片上系统(SOPC),有多达 2 544 kb 片上 RAM,支持 NIOS 嵌入式处理器,片上有多达 36 个 DSP 块和 144 个 18 位  $\times$  18 位硬件乘法器以及 12 个 PLL 模块,支持多种 I/O 标准。其片内资源完全可以实现系统各种体制条件下所需的数字下变频(DDC)、幅度调制与解调、方位和距离脉冲判决、译码以及控制信号的产生等。同时,其各种资源占用率在 60% 以下,这样可以降额使用以提高可靠性。该 FPGA 芯片支持的开发软件平台 Quartus II 含有丰富的功能函数库和支持各种 IP 核,如其参数化乘法器和 FIR 滤波器 IP 核可以直接用于该芯片的数字信号处理部分,大大缩短了开发周期。

## 6 性能分析与验证

对于本接收机为幅度调制或 ASK 调制,一般认为输出信号信噪比达到 10 dB 以上时可以正确解调出有用信号。根据前面的分析计算接收机在体制 A 工作状态 1 的 X 通道的输出信噪比如表 1 所示。由表 1 可知接收机符合设计要求。

带内噪声由下式计算:

$$N_b = -174 \text{ dBm/Hz} + N_f + 10\lg B_i \quad (3)$$

式中:  $N_f$  是模拟部分噪声系数为 7 dB。  $B_i$  为信号带宽,  $B_1$  为窄带信号带宽 400 kHz,  $B_2$  为宽带信号带宽 800 kHz。

量化噪声功率密度:

$$N_q = (V_{p-p}/2^b)^2/6f_s R \quad (4)$$

式中:  $V_{p-p}$  为 AD 输入峰值电压,  $f_s$  为采样频率,  $b$  为 ADC 位数即 14,  $R$  为 ADC 输入阻抗,这里为 50  $\Omega$ 。

由此算得  $B_1$  内量化噪声为  $-94.5$  dBm,  $B_2$  内量化噪声  $-91.5$  dBm。

表 1 输出信噪比

接收信号电平/dBm	模拟增益/dB	ADC 信号电平/dBm	$B_1$ 内 ADC 输入噪声/dBm	$B_2$ 内 ADC 输入噪声/dBm	$B_1$ 内总噪声/dBm	$B_2$ 内总噪声/dBm	$B_1$ 内输出信噪比/dB	$B_2$ 内输出信噪比/dB
-101	40	-61	-71	-68	-71.0	-68.0	10	7
-91	40	-51	-71	-68	-71.0	-68.0	20	17
-81	40	-41	-71	-68	-71.0	-68.0	30	27
-71	40	-31	-71	-68	-71.0	-68.0	40	37
-61	40	-21	-71	-68	-71.0	-68.0	50	47
-51	40	-11	-71	-68	-71.0	-68.0	60	57
-41	40	-1	-71	-68	-71.0	-68.0	70	67
-31	31	0	-80	-77	-79.8	-76.8	79.8	76.8
-21	21	0	-90	-87	-88.7	-85.7	88.7	85.7
-11	11	0	-100	-97	-93.4	-90.4	93.4	90.4
-1	1	0	-110	-107	-94.4	-91.4	94.4	91.4
10	-10	0	-121	-118	-94.5	-91.5	94.5	91.5

由表可以看出 AGC 在不同输入信号时接收机的输出信噪比,也可以看出 AGC 起控点。不管是窄带信号还是宽带信号,当输入信号为要求的灵敏度信号电平时,输出满足信噪比大于 10 dB 要求,而且随着输入信号的增大,输出信噪比也明显增大,最大信噪比可达 91.5 dB,由于以上数据都假设前端级联噪声系数为 7

dB,而实际可能会做得更小,因此所得信噪比会比计算结果更好。

## 7 结束语

本文以某多模式、多体制中频数字化导航接收机为例,详细分析了其中频数字化实现方案,基于当前器件水平对影响整机性能的关键参数进行了分析和计算,分析数据结果表明该方案能达到原接收机的基本要求,使得该综合接收机实现多接收机融为一体成为可能。目前,以该方案设计的导航接收机正在进行调试和进一步验证中。

### 参考文献:

- [1] 杨小牛,楼才义. 软件无线电原理与应用[M]. 北京:电子工业出版社,2001.
- [2] Walke R L ,Dudley J. An FPGA Based Digital Radar Receiver for Soft Radar [J]. Conference Record of the Asilomar Conference on Signals, Systems and Computers,2000,1:73 - 77.
- [3] Bada A M,Maddiotto M. Design and Realisation of Digital Radio Transceiver Using Software Radio Architectrue [J]. IEEE Vehicular Technology Conference,2000,3:1727 - 1731.
- [4] 张忠兴,李晓明. 无线电导航理论与系统[M]. 西安:陕西科学技术出版社,1998.
- [5] 周亚辉. 雷达接收机的系统设计[J]. 弹箭与制导学报,2006,(3):262 - 264.
- [6] 邹涌泉. 一种软件无线电宽带射频前端的设计[J]. 电讯技术,2006,(1):68 - 70.
- [7] Puvaneswari M,Sidek O. Wideband Analog Front - end for Multi - Standard Software Defined Radio Receiver [J]. Personal, Indoor and Mobile Radio Communications,5th IEEE International Symposium ,2004,3:1937 - 1941.
- [8] 余 丽. 航管应答机的中频数字设计[J]. 电讯技术,2007,(2):100 - 103.
- [9] Luy Johann - Friedrich, Thomas Mueller, Torsten Mack. Configurable RF Receiver Architectures[J]. IEEE microwave magazine,2004,(3):75 - 82.
- [10] Walter Tuttlebee. 软件无线电技术与实现[M]. 杨小牛. 北京:电子工业出版社,2004.
- [11] Altera Corporation. Stratix II Device Handbook [M]. [S. L.]:Altera Corporation,2006.

(编辑:姚树峰)

## A Digitisation Scheme of Multi - mode Navigation Receiver

SHAO Chun - hui, LI Zhi - an, LI Xiao - ming

(The Telecommunication Engineering Institute, Air Force Engineering University, Xi'an 710077, China)

**Abstract:** A digitisation scheme of multi - mode navigation receiver is presented to solve the incompatibility of various navigation mechanism. In the scheme, the multi - mechanism navigation signal is analysed and processed using only one FPGA ( Field Prognammable Gate Annay) after AD ( Andlog to Digital) sampling of the intermediate frequency signal, at the same time, the size is reduced greatly. This paper mainly analyses the frequency planning, sampling frequency, the analog front - end circuit, gain distribution and the AGC circuit of the intermediate frequency digitised receiver based on Software Defined Radio. The analysed data indicate that the scheme is feasible.

**Key words:** SDR; intermediate frequency digitisation; sensitivity; AGC