

# RLS 算法的智能天线 DSP 实现

茹 乐, 杜兴民, 毕笃彦

(空军工程大学 工程学院, 陕西 西安 710038)

**摘 要:**基于良好收敛特性的 RLS 算法采用并行 DSP 处理器和分布式存储器结构实现了多阵元均匀阵列的智能天线。针对 TMS320C6416 芯片的结构和 RLS 算法的特点,详细阐述了软硬件的实现和优化。实验结果证明,该系统满足 2 048 点 8 bit 8 kHz 速率采样的 16 天线阵智能天线实时性要求。

**关键词:**智能天线,波束形成,RLS 算法,TMS320C6416

**中图分类号:** TN911.22 **文献标识码:** A **文章编号:** 1009-3516(2007)05-0070-04

智能天线(smart antenna)利用数字信号处理技术产生空间定向波束,使天线主波束对准用户信号到达方向,零陷对准干扰到达方向,达到充分高效利用有用信号,抑制甚至删除干扰的目的<sup>[1]</sup>。对于移动通信环境,空时信号处理技术算法的收敛性能是一个重要的指标,标志着跟踪时变信道的能力。在已有成熟的波束成形算法中,RLS 算法的收敛速度比 LMS 算法快,且其收敛特性与输入数据相关矩阵的特征值分布无关。

数字波束的形成方法是智能天线核心的技术,其阵列天线方向图是求解各阵列激励的加权值后形成期望的波束形式。对于权值估计问题,文献[2]提出以均匀线形阵列估计,文献[3]又进一步提出了加权 L2 平均最优化,其算法理论精度较高,但具体的实现细节未涉及。文献[4]提出一种易于工程化的数字波束实现方法。采用并行相与相加结合流水线的技术,加快了树形乘法器的计算速度,提高数字波束的形成效率。

## 1 波束形成原理与 RLS 算法

智能天线可以通过模拟电路方式实现,首先根据天线方向图确定馈源的激励系数,然后确定馈源的馈电网络及波束形成网络。由于馈电布线呈矩形状,实现很复杂,随着阵元数目增加,更增加了的电路复杂度。因而智能天线多采用数字方法实现波束成形,即数字波束形成 DBF(Digital Beam-forming)。由于智能天线阵能形成不同的天线方向图,并且可以用软件设计完成自适应算法更新,自适应地调整方向图,可以在不改变系统硬件配置前提下,增加系统灵活性,所以也被称为软件天线。通常一个智能天线是一个数字波束形成器,它由阵列天线、下变频器、A/D 转换器和现场可编程阵列或数字信号处理器(DSP)组成。

数字波束形成器是将天线接收到的信号并行的通过独立的射频通道下变频至中频并经过 A/D 变换成为基带数字采样信号,再经过专用的波束形成 DSP 处理器根据不同阵元天线接收的有用信号不同的幅值及相位,按照一定的算法给并行的数据通道以不同的权重系数,最后输出各通道叠加后的合成信号。波束形成算法决定着天线阵暂态响应的速率和实现电路的复杂程度,因此选择什么样的算法进行波束的智能控制是非常重要的,波束形成算法是智能天线系统中的核心部分<sup>[5]</sup>。

递归最小均方误差(Recursive Least Square, RLS)算法假设天线阵信号为数据取样形式,并使用数字处理器调整权值,在每一取样瞬间根据最小二乘准则计算权值的最佳值。它基于递归采样计算协方差矩阵,具有最小均方(LMS)算法和取样协方差矩阵的直接求逆(DMI)算法的优点,尤其适合软件实现,有广泛的应用

收稿日期:2006-11-30

基金项目:国家空间微波技术重点实验室基金资助项目(51473030105JB3201)

作者简介:茹 乐(1978-),男,陕西西安人,讲师,博士,主要从事信息对抗技术研究;

杜兴民(1941-),男,安徽涡阳人,教授,主要从事信息理论及抗干扰技术研究。

前景。文献[6]给出了RLS算法实现访求。

图1描述了RLS算法的基本流程。该递归算法先对协方差矩阵  $P[n]$  和  $\omega[n]$  进行初始化,对  $P[n]$  的初始化要注意保证其是一个非奇异矩阵,而设定  $\omega[n]$  为0矩阵。算法进入数据处理阶段之后,先后计算迭代增益  $K[n]$  和绝对误差  $a[n]$ ,由迭代增益和误差计算权值  $\omega[n]$  的估计值,最后对  $P[n]$  进行修正,随后,算法进入后一个采样数据  $u[n]$  的处理,这样反复迭代最终得到最佳的权重值  $\omega[n]$ 。

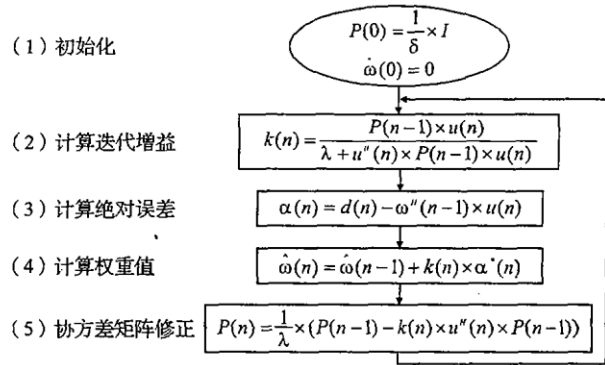


图1 RLS算法流程

## 2 系统设计与实现

为了缩短系统处理时间必须采用多处理器并行结构。分布式共享存储器(DSM)结构使不同处理器上的进程不用通过共享物理内存就可以使用共享数据,这样就大大缩短了处理时间。图2是采用分布式共享存储器的软件无线电结构实现智能天线框图。

我们以4个天线元为1组,称为1个模块。通过射频通道与本振混频后变换为中频模拟信号,再经过高速A/D采样后送入数字下变频器(DDC),经下变频的基带数字采样复数序列送入高速DRAM存储器缓存,最后经DSP内部快速DMA通道送入TMS320C6416 DSP处理器进行数字信号处理。更多天线(4天线以上)就使用多模块并行处理,模块间使用高速PCI总线连接,并有专用处理器控制。我们最多实现了16天线阵(4个模块)。

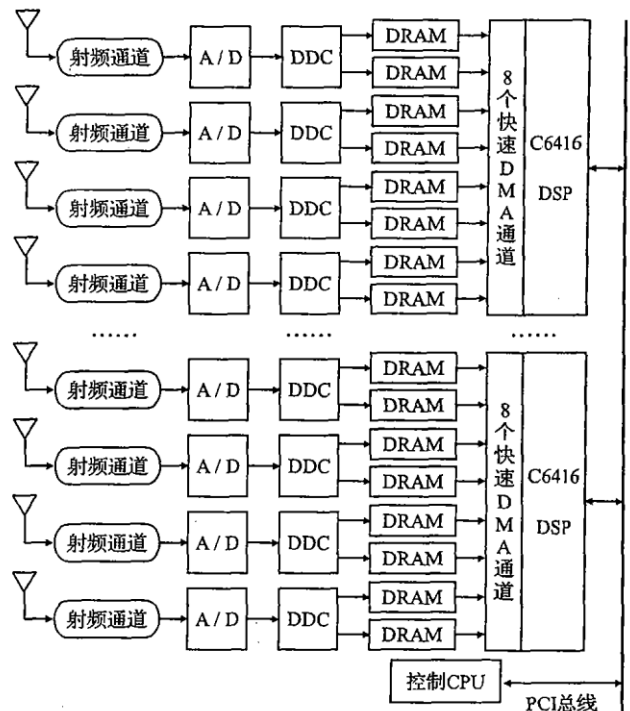


图2 智能天线的软件无线电结构实现框图

### 2.1 数字下变频器的设计与实现

数字下变频器(DDC)采用比较成熟的Intersil公司的HSP50214B可编程数字下变频器,它是一个超大规模集成芯片,大体可分成以下功能模块:输入与输入电平检测模块,变频模块(正交混频器和数控振荡器NCO),CIC(Cascaded Integrator - Comb)积分梳状抽取滤波器,HB(Half-band)半带滤波器,255阶可编程FIR滤波器,自动增益控制器(AGC),重采样与HB插值滤波器,重采样数控振荡器,坐标变换器,鉴频(幅)模块,输出模块,同步电路和控制接口。其内部功能及接口如图3所示[7]。

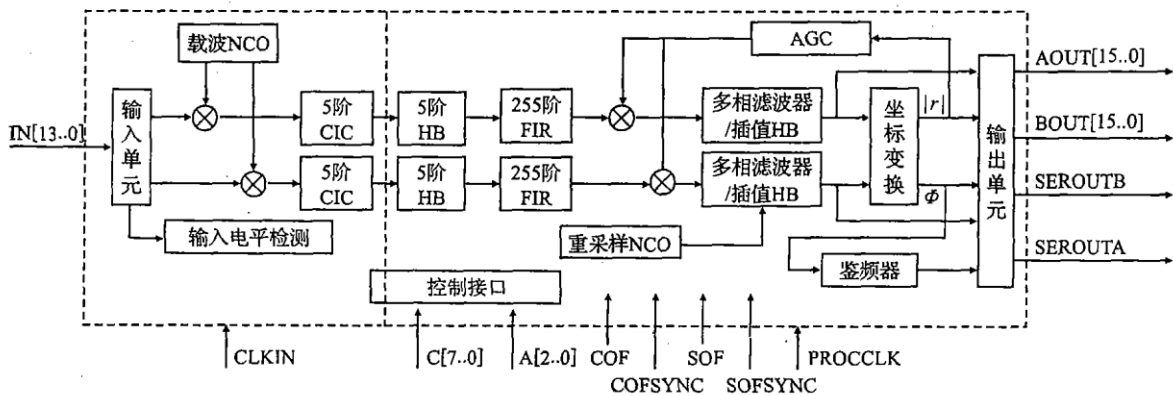


图3 HSP50214B内部功能框图

正交混频器完成频率变换功能;5级CIC滤波器、5级HB滤波器和255阶可编程滤波器共同组成抽取/

低通滤波器组,完成抽取和低通滤波功能;重采样与 HB 插值滤波器完成输入输出速率的非整数倍(0.25 - 1)变换;输出部分根据用户需要提供 5 种不同输出方式;控制接口通过特定接口数据总线 C[7..0]、地址总线 A[2..0]和读写信号 WR、RD 实现控制字及相应设计参数的写入和内部寄存器内容及状态信息的读出。

设计中我们采用 TMS320VC5402 作为系统控制 CPU,它具有设计灵活、简单实用的特点。CPLD 的主要功能是产生控制逻辑和时序关系,我们采用 ALTERA 的 MAXII EPM570,它具有多电平端口支持并且可在线重配置,设计非常灵活。图 4 是 HSP50214B 的软控制关系连接图。这种结构具有参数配置灵活,可在线软升级并且电路简单的特点。如图 4 所示,HSP50214B 的输入单元采用 gated 模式,将 /EN 固定接地,A/D 采样器的时钟和 HSP50214B 的 CLKIN 管脚相连,每个 CLKIN 时钟对输入数据采样一次。CLKIN 的时钟信号可以达到 65 MHz,PROCLK 时钟是混频之后的处理时钟,不可以高于 CLKIN。HSP50214B 的所用功能都是通过写入控制字来实现的,每一个控制字是 32 bit,每次只能通过 C[7..0]接口写入 8 bit 控制字,需要通过地址线 A[2..0]选择写入控制字的高低位,连续写 4 次。数据的读出、写入、寄存器选择等控制信号可采用 CPLD 控制电路。在输出模式上,HSP50214B 设置成并行直接输出模式,/DATARDY 管脚和 TMS320VC5402 的中断管脚相连,当有新数据产生时,/DATARDY 的下降沿使 DSP 产生中断信号,DSP 就可以通过 CPLD 产生控制信号将数据实时的送往 DRAM。

## 2.2 波束形成 DSP 的设计与实现

波束形成 DSP 选用 TI 的 TMS320C6416 芯片,它是 TI 公司新近推出的高性能数字信号处理器,工作频率最高可达到 1 GHz。是目前市场上处理速度最快、功能最强的 DSP。该 DSP 有两个扩展存储器接口(EMIF),一个为 64 bit,一个为 16 bit,最大寻址范围为 1 280 MB;具有扩展的直接存储器访问控制器(EDMA),可以提供高达 64 条的独立 DMA 通道。可以实现与分布式存储器的无缝连接,大大提高系统的数据吞吐量。另外该处理器具有符合 PCI 标准 2.2 版的 PCI 主从接口,方便了多模块的高速并行处理与控制<sup>[8]</sup>。

由于波束形成算法的数据吞吐量大,又要满足高速的实时要求。图 5 中,4 路天线接收并下变频后变为 8 路基带的数字采样序列以 8 位为单位打包成 64 位的数据,传送到由 C6416 的 64 bit EMIFA 控制的外部 DRAM。数据的解包和内插运用 C6416 的 EDMA 传输灵活特性,由 EDMA 的传输实现,节省了运算时间。

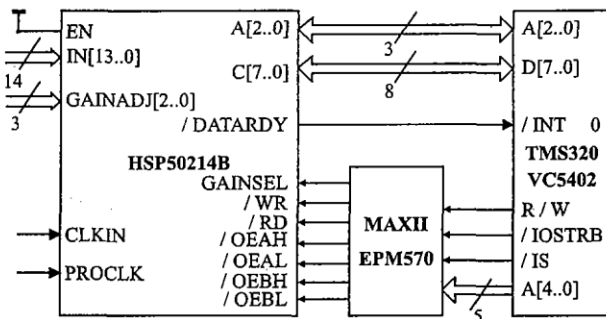


图 4 HSP50214B 软控制连接关系图

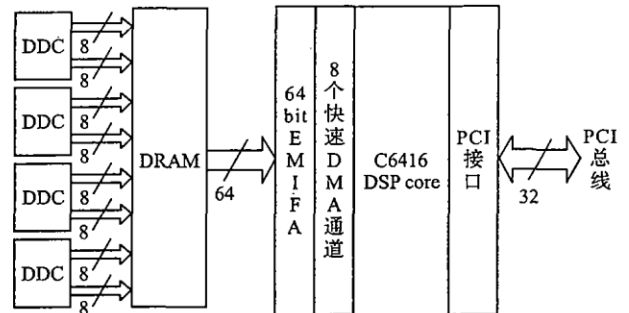


图 5 DSP 数据通道关系图

波束形成 RLS 算法的 DSP 实现主要使用易于实现的 C 程序,但必须进行有效的优化以节省运算时间。在进行 C 程序优化的过程中,必须从 DSP 器件的硬件结构出发,最大程度地利用其功能单元,使用软件流水线,尽量让程序无冲突地并行执行。但对于前后有承接关系或者判断、跳转频繁的情况就无法发挥优势。一般循环体都满足并行处理的条件,并且循环体往往是程序中耗时最长的,特别是在 RLS 算法中,主要的累加运算和迭代运算都是在循环体中实现的,因此优化时将重点放在循环体上,尽量减少循环的嵌套,因为编译器只能对最内层循环进行优化。多重循环的特点是在优化器优化时只在最内层循环中形成软件流水线,这样循环语句就不能充分利用 C6000 的软件流水线,而且对于内部循环的次数较少的情况,消耗在内部循环外的指令周期数也是不可忽视的。针对这种状况将多重循环拆开,形成一个单层循环。可以拆外层循环也可以拆内层循环,一般视具体情况而定。这样就可以充分利用优化器构成的流水线结构。

在系统的设计后期,对计算速度较慢的波束形成部分进行了线性汇编的改写。计数器设计为减计数,并且要确定合适的循环迭代次数。经优化改进 C 程序后,4 阵元 RLS 算法执行速度由原来的 196550 个指令周期,提高到 66 238 个指令周期,代码效率显著提高。

### 3 实验结果及性能分析

为了检验该智能天线系统的性能,我们测试了不同长度采样数据和不同天线数目在 C6416 Simulator 上的执行时间,结果见表 1。表中的数据是经过 20 次实验的平均结果,其中采样时钟为 8 kHz, C6416 的时钟频率为 1 GHz。

由表 1 可以看出整个系统的处理延迟时间均小于采样时间,因此完全达到智能天线的实时处理要求。但随着采样点数的增大和天线数目的增加,目前的系统设计将不能够满足要求。

本文分析了智能天线 RLS 算法和软件无线电的特点。基于并行 DSP 处理器和分布式存储器结构设计了实现智能天线的软件无线电体系结构。针对 TMS320C6416 芯片的结构和波束形成算法的特点,对算法的实现和优化进行了讨论。试验结果证明,该系统满足 16 天线阵以下智能天线实时性的要求。随着器件水平的提高和智能天线算法的不断优化,该系统可灵活的升级可以满足更高的要求。

#### 参考文献:

- [1] Godara L C. Application of Antenna Arrays to Mobile Communications, part II: Beam Forming and Direction of Arrival Considerations[J]. proceedings of the IEEE, 1997, 85(8): 1195 - 1226.
- [2] Dolph C L. A Current Distribution for Broadside Arrays Which Optimizes The Relationship Between Beam Width And Side lobe Level[J]. Proc IRE, 1996, 34(6): 336 - 338.
- [3] Zhou Y P, Ingram M A. Pattern Synthesis for Arbitrary Arrays Using an Adaptive Array Method[J]. IEEE Trans on AP, 1999, 47(5): 864 - 869.
- [4] 陈玉峰,左继章,彭芳. 基于 FPGA 的智能天线数字波束的形成与实现[J]. 空军工程大学学报:自然科学版, 2006, 7(5): 33 - 35.
- [5] 许悦雷,尹志杰,左继章. 最小误码率波束的形成算法[J]. 空军工程大学学报:自然科学版, 2005, 6(3): 60 - 62.
- [6] Haller B. Algorithms and VLSI Architecture for RLS - Based Time Reference Beamforming in Mobile Communications [A]. Proceedings of the International Zurich Seminar on Broadband Communications IZS98[C]. Zurich, Switzerland, 1998.
- [7] 郑国,张公礼. 基于 HSP50214B 的 256QAM 信号的下变频实现[J]. 电子器件, 2004, (4): 683 - 686.
- [8] 任丽香,马淑芬,李方慧. TMS320C6000 系列 DSPs 的原理与应用[M]. 北京:电子工业出版社, 2000.

(编辑:姚树峰)

## The Realization of a RLS - based Smart Antenna Algorithm Using DSP

RU Le, DU Xingmin, BI Du - yan

(The Engineering Institute, Air Force Engineering University, Xi'an 710038, China)

**Abstract:** Based on the RLS algorithm, a multi - element uniform linear antenna array algorithm is proposed by using DSP and distributed shared memory. The fundamental and some characteristics of the proposed algorithm are briefly discussed. And then aimed at the characteristic of TMS320C6416 digital signal processor and the convergence capability of RLS - based algorithm, the realization of this smart antenna algorithm and the optimization algorithm are discussed. Simulation shows that this algorithm meets the real - time requirements of 16 element uniform linear antenna array that 2048 point 8 bit 8 KHz sampling.

**Key words:** smart antenna; beam forming; RLS; TMS320C6416