

基于 CPLD 单双极性码转换电路的设计与实现

刘 伟, 陈高平

(空军工程大学 工程学院, 陕西 西安 710038)

摘 要:以某型飞机无线电高度表检测仪研制为背景,通过采用 CPLD 器件和 VHDL 硬件语言,设计实现了一种能替代该无线电高度表检测仪检验组合功能的单双极性码转换电路,并给出了 VHDL 程序和相应的时序仿真波形。

关键词:VHDL;CPLD;单双极性码转换电路

中图分类号: TN707 **文献标识码:**A **文章编号:**1009-3516(2006)02-0058-03

无线电高度表检测仪是对无线电高度表的工作情况进行检测的仪器,它对保障高度表的完好,保证飞行安全,提高部队战斗力,具有重要作用。为了提高检测水平,研制新的检测仪是非常必要的。本文采用 CPLD 器件和 VHDL 硬件语言,替代实现了该检测仪的部分功能。

1 电路总体设计

基于 VHDL 语言,使用 Top_Down 设计方法设计了极性转换电路总体构架,该极性转换电路的设计主要包含分频模块、信号波形模块和状态形成模块 3 部分。利用 CPLD^[1]将频率源先分频为 50 kHz,经信号波形模块形成 Pin44、Pin42 两种波形,再经状态形成电路,最终形成正、负 32 位串行双极性码。

2 各模块的具体实现及仿真

2.1 分频模块

用 200 kHz 的石英振荡器,作为信号源,采用计数形式,对其进行 2 分频,以产生 100 kHz 的脉冲,再对得到的信号进行 2 分频,得到 50 kHz 的脉冲,该脉冲可作为系统的工作时钟。

2.2 信号波形模块

以 50 kHz 脉冲为基准时钟,产生 Pin42、Pin44 的波形。VHDL 硬件程序语言如下^[2]:

```
LIBRARY IEEE;  
USE IEEE.std_logic_1164.ALL;  
USE IEEE.std_logic_unsigned.ALL;  
ENTITY cmcs IS  
PORT( clk50k :IN std_logic;  
      pin42 : out std_logic;  
      pin44 : out std_logic);  
end cmcs;  
Architecture behave of cmcs is  
signal next_count:std_logic_vector(5 downto 0);
```

收稿日期:2005-06-26

基金项目:军队科研基金资助项目

作者简介:刘 伟(1965-),男,辽宁沈阳人,工程师,硕士生,主要从事无线电通讯导航研究。

```

signal tmp : std_logic;
signal reset : std_logic;
begin
p1 : process( clk50k , reset)
begin
if reset = '1' then
next_count <= "000000";
elsif( clk50k'event and clk50k = '0' ) then
if( next_count < "100011" ) then
next_count <= next_count + 1;
elsif( next_count = "100011" ) then
next_count <= "000000";
else next_count <= "000000";
end if;
end process p1;
p2: process( next_count)
begin
if( next_count <= "000010" ) then
tmp <= '0';
elsif( next_count >= "000010" and next_count <= "001010" ) then
tmp <= '1';
elsif( next_count >= "001010" and next_count <= "001110" ) then
tmp <= '0';
elsif( next_count >= "001110" and next_count <= "010110" ) then
tmp <= '1';
elsif( next_count >= "010110" and next_count <= "011011" ) then
tmp <= '0';
elsif( next_count >= "011011" and next_count <= "100000" ) then
tmp <= '1';
else
tmp <= '0';
end if;
end process p2;
pin42 <= tmp;
pin44 <= '0' when next_count >= "100000" else
clk50k;
end behave;

```

采用 MAX - PLUS II 工具^[3],进行波形仿真如图 1 所示。

2.3 状态形成模块

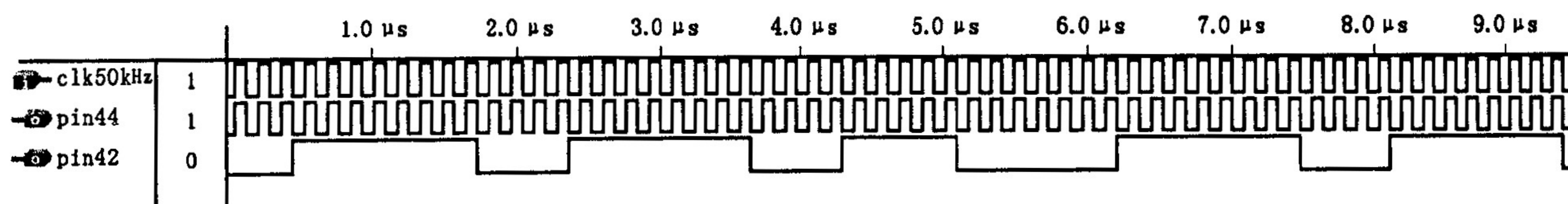


图1 仿真波形

双极性码形成模块主要由 MAX313 模拟开关及由 74LS04、74LS00、74LS08 等逻辑器件组成的译码电路

两部分构成^[3],如图 2 所示。MAX313 为 4 路 SPST 模拟开关,IN1,IN2,IN3,IN4 为输入端,NC1,NC2,NC3,NC4 为输出端。该模拟开关具有低导通电阻特性,为常开模式(NO),通道间导通电阻匹配度为 1.5,开关在任何方向的导通特性一致,在数字电路领域被广泛运用。以 Pin42、Pin44 为译码电路的输入信号波形,经过译码电路的变换,产生两组信号,作为 MAX313 的输入信号。一组为 IN1 和 IN4,另一组为 IN2 和 IN3,该译码电路的设计可保证一组为正,另一组为零,两组不能同时为正或为零。当 IN1 和 IN4 为正,IN2 和 IN3 为零时,对应的 COM1、COM4 导通,COM1、COM4 截止,对应的 NC1 输出为正,NC4 输出为负,NC2、NC3 截止;IN2、IN3 为正,IN1、IN4 为零时,COM2、COM3 导通,COM1、COM4 截止,对应的 NC2 输出为负极性,NC3 输出为正极性,NC1、NC4 截止。根据此原理,最终产生所需的 32 位串行双极性码,如图 3 所示。

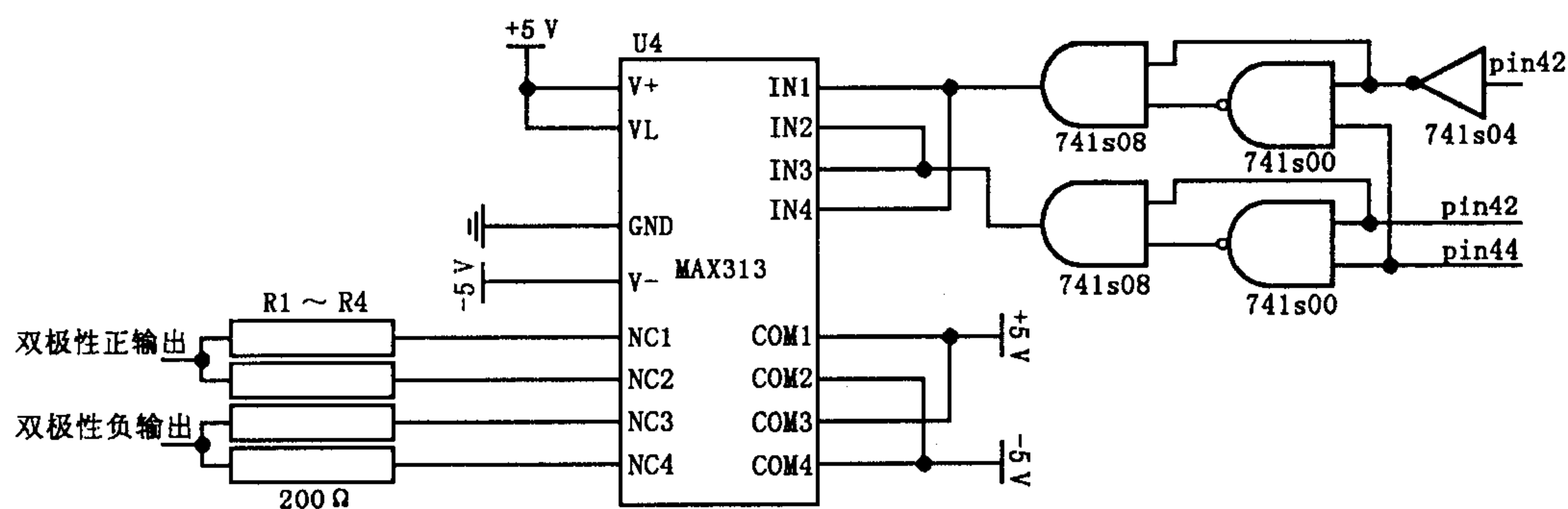


图 2 状态形成模块电路

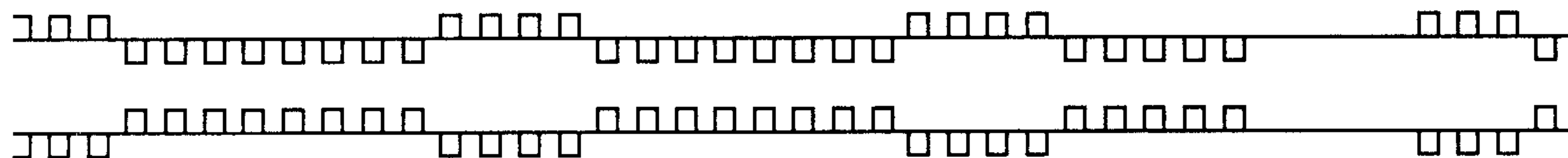


图 3 32 位串行双极性码波形

3 结束语

本设计方法非常灵活,可以实现不同的时钟和不同的双极性码波形,只须修改 VHDL 语言程序即可,实际电路不用改变,非常方便,便于调试。该设计方法,已在实践中应用,取得了明显的军事和经济效益。

参考文献:

- [1] 李若仲,齐跃虎,李兆展. 光电检测系统中弱信号的检测[J]. 空军工程大学学报(自然科学版),2002,3(4):33-35.
- [2] 赵世霞,杨丰,刘揭生. VHDL 与微机接口设计[M]. 北京:清华大学出版社,2004.
- [3] 东方人华,王建坤. MAX-PLUS II[M]. 北京:清华大学出版社,2003.
- [4] 肖玲妮,袁增贵. PROTEL 99 SE[M]. 北京:清华大学出版社,2003.

(编辑:田新华)

Designing and Realizing Single - Double Pole Code Circuit Based on CPLD

LIU Wei, CHEN Gao - ping

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: Taking the development and research of a certain type of aircraft radio altimeter as a background and using CPLD and VHDL hardware language, this paper designs and realizes a kind of Single - Double pole code switching circuit which can replace the original detecting function of the radio altimeter detector, finally gives out VHDL programmers and the corresponding time sequencing simulation waveforms.

Key words: VHDL; CPLD; single - double pole code switching circuit