

## 并行测试技术综述

肖明清，朱小平，夏锐

(空军工程大学工程学院，陕西西安 710038)

**摘要：**分析了并行测试概念，详细地论述了并行测试的实现方式及各种实现方式的优缺点，提出了并行测试系统的几种基本架构，为并行测试技术应用到我军航空武器装备的维护保障中作了有益的基础性工作。

**关键词：**并行测试；顺序测试；测试成本；实现方式；系统架构

**中图分类号：**TP2    **文献标识码：**A    **文章编号：**1009-3516(2005)03-0022-04

NxTest ATS 是正在开发研制的下一代测试系统，其目标就是解决目前自动测试系统中存在的维护、开发费用过高，测试程序组合（TPS）可移植性差等问题。美国国防部（DoD）为此成立了下一代测试系统的综合产品项目组（NxTest IPT），负责 NxTest ATS 的具体实施。目前 IPT 已发布 NxTest ATS 指导方针、测试需求和软件的一般性框架，但大量的研究工作还在进行，同时需要新的技术和标准的有力支持<sup>[1~3]</sup>。

并行测试技术属于下一代测试技术范畴，是支撑 NxTest ATS 的新技术之一。它根植于并行处理技术，其宏观表现为，在并行测试程序的控制下对多个被测对象（UUTs）同时测试。相比传统顺序测试技术，它通过对系统资源的优化利用可以大幅度提高测试效能及测试质量，提高测试资源利用率，降低整个武器装备测试成本（测试成本包括测试时间）<sup>[3~5]</sup>。因此，研究并行测试技术对我国测试技术的发展和提高武器装备战时的快速维护保障能力具有重要意义。

## 1 并行测试的概念分析

并行测试技术是把并行技术引入到测试领域中所形成的方法和技术。就是可以较好地完成同时测试多个被测对象（UUTs）任务的一种先进测试方法和技术。并行测试是建立在并行概念基础之上的。并行测试的核心是可以同时对多个被测对象进行测试<sup>[2~5]</sup>。并行测试主要是通过在不同被测对象间切换，以实现并行测试。各个被测对象的测试过程都是独立并行的，一个被测对象的测试并不要等到另一个被测对象的测试完毕后方能进行。但每个被测对象内部测试过程还是按顺序测试的，因此说，这种并行测试方式对测试系统的测试性能和仪器利用率提高有限，其提升余地还很大。

自动调度测试是一种新的并行测试技术，它不仅可以对多个被测对象同时测试，而且对每个被测对象的内部参数也可进行并行测试<sup>[4~5]</sup>。它根据被测对象的测试需求自动调度各个被测对象及其参数的测试，使得测试资源始终处于非空闲状态。如，在对 UUT1 的参数 1 作测试准备时，由于其测试准备时间较长，此时自动调度测试按一定调度策略自动切换到对 UUT1 的参数 2 执行测试，或者切换到其它被测对象的某个参数测试准备或者测试执行状态，当 UUT1 的参数 1 测试准备完毕，则又切换到其测试执行状态。图 1 是其流程图。其硬件资源的利用率和测试效能比一般的并行测试高出 10% ~ 15%，而测试时间低 20% 左右。

在并行测试和自动调度测试中可能会出现：一个测试指令要打开某开关，而另一个测试却要关闭，此时开关是开还是闭？这种情况称作竞争条件。解决竞争条件的最有效办法是发生处设立标记并检查标记，而且设立标记和检查标记的动作必须是原子动作。所谓原子动作就是一个操作能够不受中断地完成。此外在

收稿日期：2004-09-20

基金项目：国防重点实验室基金资助项目

作者简介：肖明清（1963-），男，湖南常德人，教授，博士生导师，主要从事机载导弹控制与检测，导航、制导等研究。

并行测试中还要防止测试数据保护、测试数据持久化和测试死锁等问题发生<sup>[6]</sup>。

## 2 并行测试技术的实现方式

### 2.1 多个 UUT 的并行测试实现方式

通过接口开关转换测试多个 UUT。只有一套测试设备的测试系统,通过接口开关转换,将不同的 UUT 连接到测试系统进行测试。具体实现是:先连接第一个 UUT 进行测试,在处理器对测试信号进行分析处理等操作的同时,接口开关断开第一个 UUT,将另一 UUT 连接到 ATS 进行测试;依次类推到多个 UUT。这种并行测试实现方法通过转换开关使得测试系统在整个测试过程中始终处于非空闲状态,系统的测试吞吐量成倍提高。采用这种方法需要增加接口开关器件和一些独立的专用测试设备,

对于昂贵的测试设备可以共享,以节省费用,而且 UUT 可以处于不同的测试区域,加上配套的网络设备,可以实现分布式并行测试,实现 ATS 的共享。实际上,这种方式在某一时刻,ATS 只测试某一个 UUT 执行一项测试任务,还不是真正意义上的并行测试。此外这种方法还有一个不利之处就是当转换开关在校准或维修时是整个测试设备就瘫痪了。

多个测试交替同时进行。这种实现方式主要是让多个测试在时间上交错<sup>[2]</sup>。假设每项测试所用的时间相同,交错并行测试的测试时间要比顺序测试的测试时间减少了一半。在这种并行测试实现方式中,每个 UUT 的测试是按顺序测试的,假如无需对每个 UUT 各测试按顺序进行,从测试执行的一开始就并行执行所有的测试任务。当某项测试需要的资源被占用,程序并不等待,而是跳过继续执行下一项测试任务,完成后再返回执行尚未完成的测试任务。自动调度测试的不足在于每项测试均需是独立的,它无需上一项测试的结果,测试结果也不会影响到下一项测试,系统容易出现死锁。

并发测试。这种实现方式是真正意义上的并行测试,主要是建立在一个分布式测试系统上,每个测试节点都可以独立进行一个测试<sup>[7~9]</sup>。缺点是需要增加许多额外测试设备,而且需避免复杂的资源共享问题。

### 2.2 单个 UUT 的并行测试实现方式

交迭等待并行测试。这种实现方式对测试系统提出了新的要求。首先,要求 UUT 在到达目标状态的过程中可以进行参数的测试,即要分析清楚不同激励之间的影响,并且确定后项测试的激励和测量不会对 UUT 运行到前一测试要求的目的状态产生影响。其次,在每项测试进行中时不允中断,只有当一项测试任务完成后才能响应 UUT 到达指定状态这一中断,以免测试不能完成<sup>[2]</sup>。而且这种方法也不是严格意义上的并行测试,只是利用测试设备等待 UUT 到达目的状态这一段时间对满足测试条件的参数进行测试。

分组并行测试。真正在单个 UUT 上的并行测试是同步或异步地运行两个或多个测试程序,完成对多个参数的测量<sup>[2]</sup>。程序执行第一组测试,即测试 1 和测试 2 分别在不同的线程内同时执行。第二组内的各项测试也能同步或异步进行,在不同的线程内同时执行测试 3、测试 6 和测试 10,依次类推。之所以要把测试分组,是因为要保证同一组的被测试量具有相同的测试要求,在并行运行的时候不会互相影响。这就要求在测试需求分析时对测试任务进行分组。

## 3 并行测试系统的基本架构

根据上述并行测试实现方式,并行测试系统可划分为两类基本架构形式。一类是多处理器并行测试结

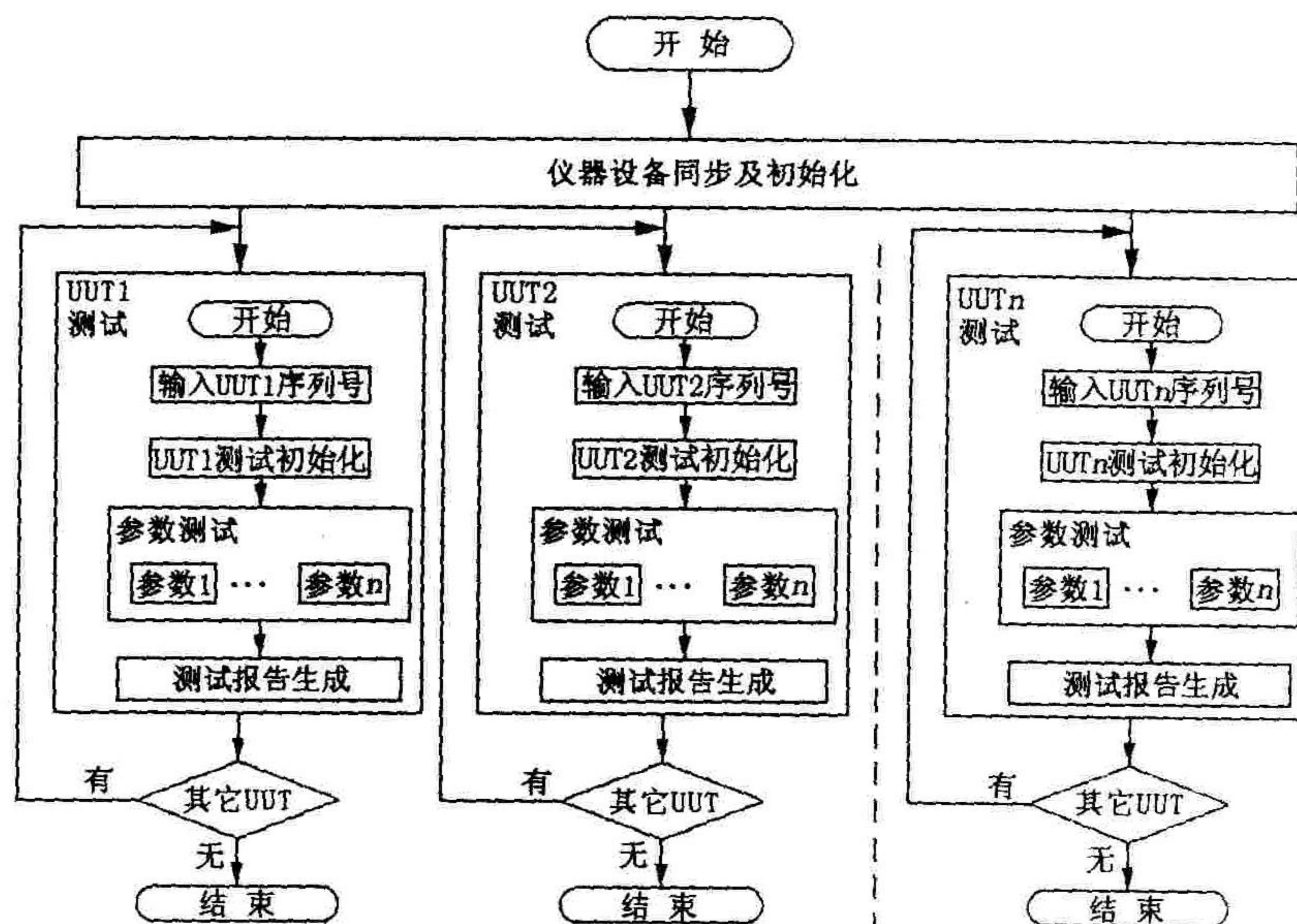


图 1 自动调度测试流程

构。这类结构具有两个以上的处理器,在操作系统的控制下,通过高速通讯网络、共享的主存或输入/输出子系统进行测试,对系统的软硬件都有较高的要求。另一类是在单处理器上实现的并行测试结构,通过对不同测试任务的调度来分配单个处理器处理任务的时间从而实现并行测试,主要通过软件设计来实现。

### 3.1 多处理器并行测试结构

根据参与并行测试的处理器之间的关系分为分布式和从处理器结构。分布式并行测试结构中的每台计算机均可独立高效地执行测试任务,并主要通过网络来实现测试同步和仪器、数据共享;从处理器结构中从处理器与主处理器并行工作,分担主处理器的部分工作,减轻主处理器的负担,提高测试效率。

**分布式结构。**分布式结构是真正意义上的并行测试结构<sup>[7~9]</sup>。测试作业被动态地分配到各个计算机上,各个计算机上配置的网络操作系统管理本地测试进程的运行,向网络申请资源,协调各计算机之间的通信和资源共享。由于分布式并行测试结构主要通过网络来完成测试同步和仪器、数据共享,因此需要深刻理解网络拓扑结构和网络操作系统的通信原理结构。当测试同步工作量和共享的测试仪器、测试数据数量剧增时,则显示其明显不足。此外,分布式并行测试结构还需增加了配套硬件资源,如网络设备、测试仪器等,导致测试成本骤升。

**从处理器结构。**从处理器结构指系统具有两个以上处理器或单片机协同工作,从处理器在系统中处于从属地位,功能单一,性能较低,与 CPU 并行执行以提高整个系统的速度。图 2 是 Agilent 公司开发的一种从处理器结构测试系统。它在测试系统中嵌入一块数据处理芯片(DSP),和 CPU 并行工作,分担 CPU 的数据计算处理任务,减轻 CPU 的工作负担,从而可以提高系统速度,达到减少测试时间的目的。据 Agilent 公司称这种结构的测试速度是传统结构的 10 到 30 倍。另外,把数据计算处理任务交给专门的 DSP 处理,还提高了系统的可靠性。

随着微处理器、单片机及其外围电路芯片的性能价格比不断提高,特别是功能的日臻完善,嵌入式(embedded microprocessors)测试仪器发展得很快。在测试系统中采用嵌入式仪器、器件构成从微处理器系统,以提高信息处理能力、处理速度和系统性能已经成为现实,也是实现并行测试的一项可利用的成熟的技术。

### 3.2 单处理器并行测试结构

多处理器并行测试结构对系统的硬件要求较高,结构复杂,对操作系统也要有深刻的理解。真正普遍适用且能大幅降低测试成本的还是基于单处理器、从软件设计上来实现的多进程结构和多线程结构。

**多进程结构。**多进程结构就是单个处理器中有多个进程同时执行测试任务的结构,主要是通过 CPU 在进程间的切换来完成并行测试任务的<sup>[4~6,10]</sup>,见图 3。在多进程结构中由操作系统来隔离每个进程的内存地址空间,防止因一个进程执行故障导致整个系统发生崩溃。然而,正是由于每个进程内存地址空间被严格隔离,仪器设备和数据共享变得非常难且低效。为了实现在各个进程间通信,必须使用诸如共享内存、管道、动态数据交换 DDE 等机制。如果没有提供源代码,这些机制将难以实现。

**多线程结构。**多线程结构就是一个进程中的多个线程同时执行测试任务的结构,主要是通过线程间的切换来完成并行测试任务<sup>[4~6,10]</sup>,见图 4。多线程结构中,并行测试程序在一个进程中执行,这个进程拥有一个简单内存地址。每个进程都有一个线程,即主线程,它只有一个控制流程来控制所有步骤的执行,进程可以创建或删除其它不同的线程来完成并行测试任务。多线程结构的一个重要特点就是所有线程都存于一个进程中,它们能更好的共享测试资源和在线程间通信,而且在多线程间切换相对于在多进程间切换,其开销要小的多,因此多线程结构是物廉价美的,是一种较为合适的并行测试结构。

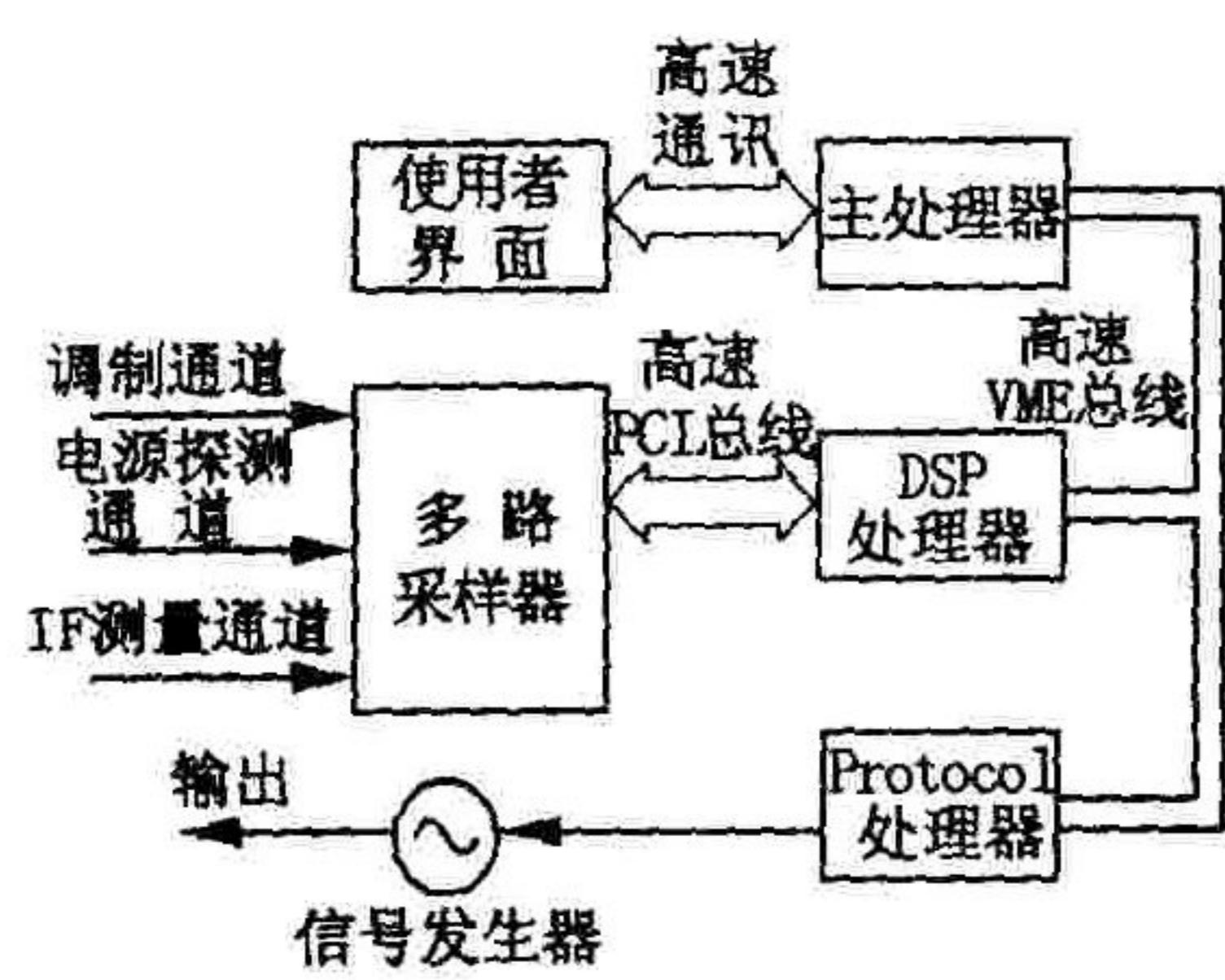


图 2 从处理器并行测试结构

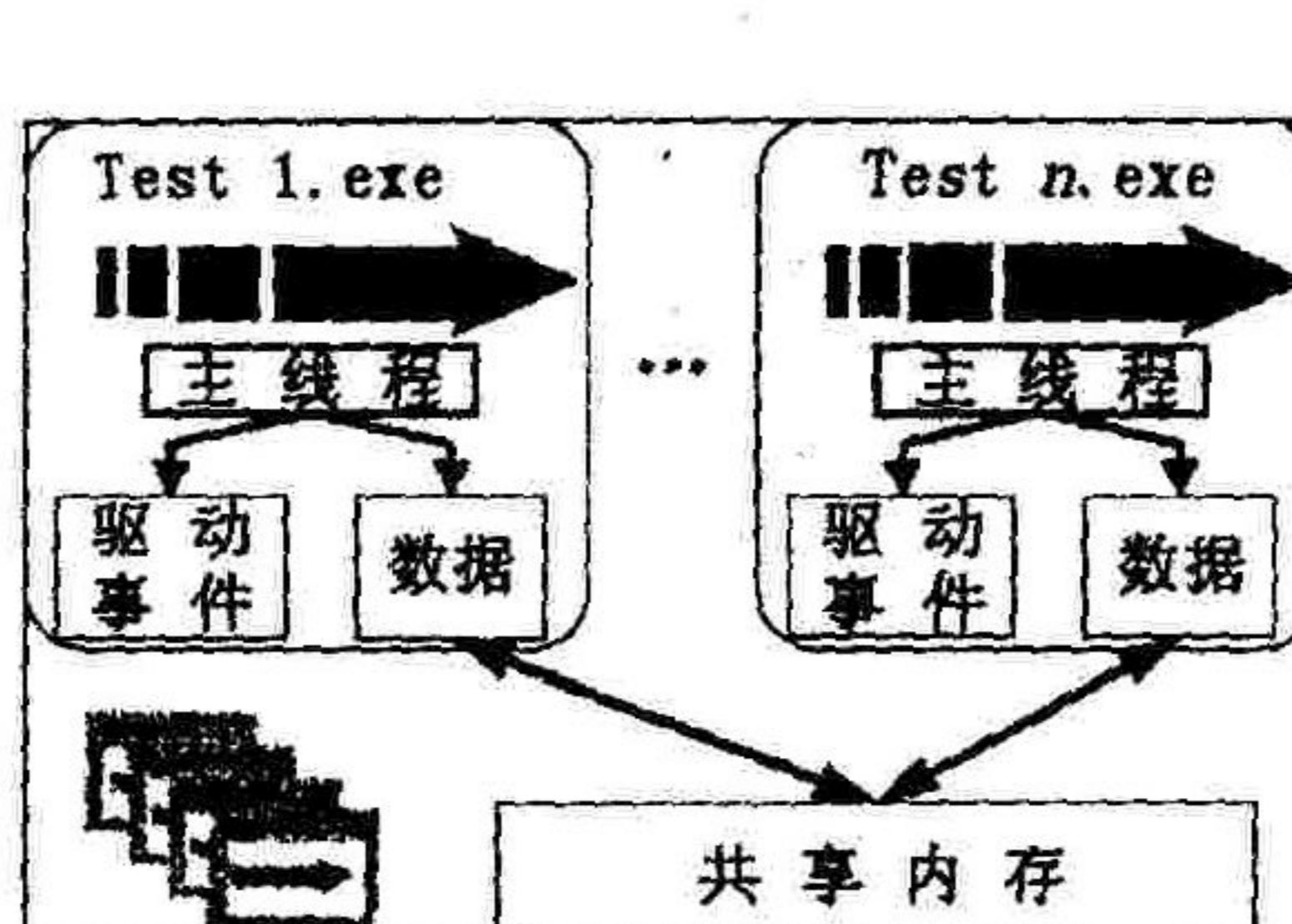


图 3 多进程结构示意图

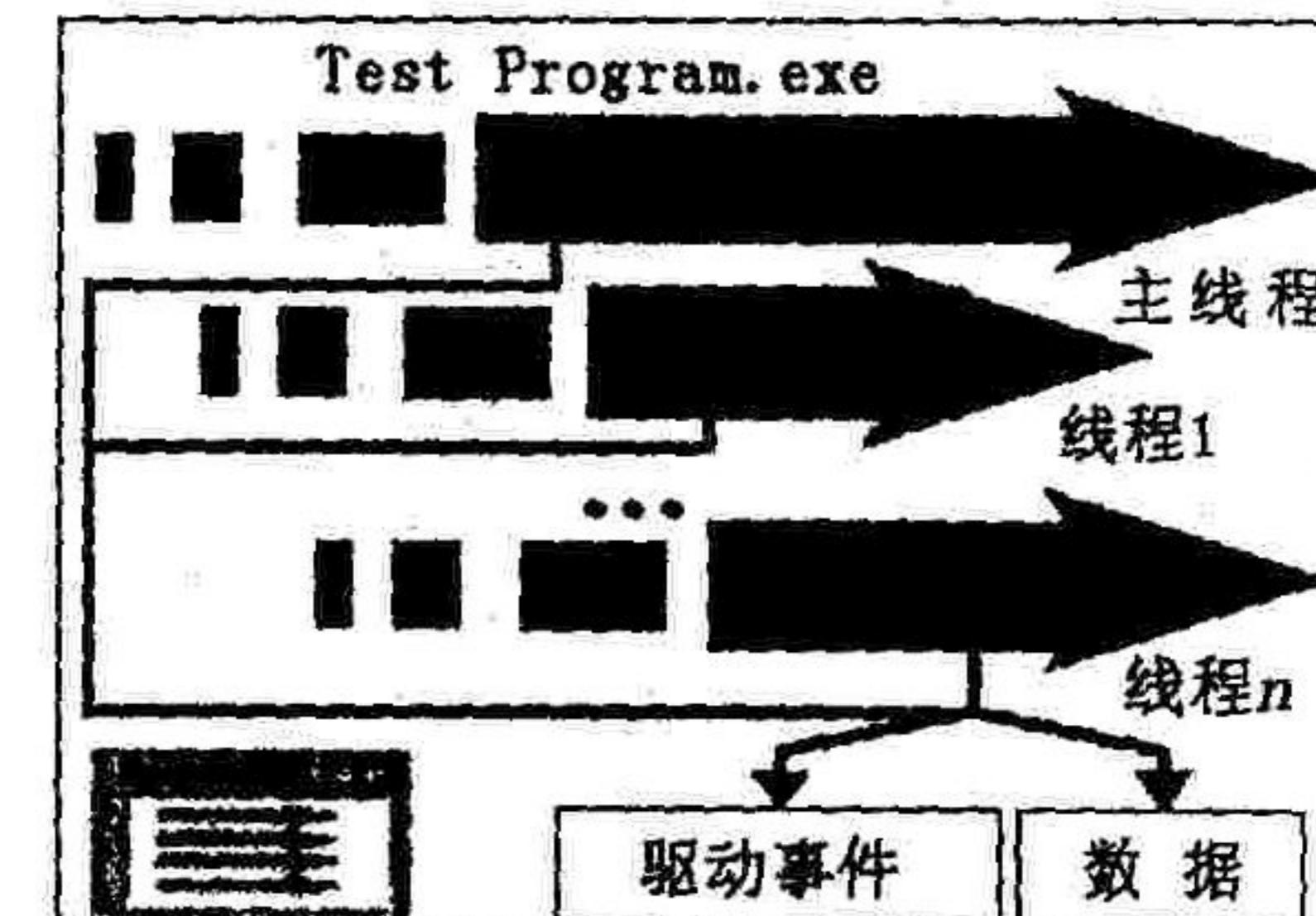


图 4 多线程结构示意图

对于一些大型测试系统,其被测对象繁多,且每个测试对象的参数测试复杂,在选择并行测试结构时往

往倾向于上述几种结构的混合使用,即首先建立分布式并行测试结构,然后在每个子测试节点中再建立多进程结构,每个进程中又是多线程结构。在采用并行测试混合结构时必须权衡整个测试成本的问题。

## 4 结束语

并行测试技术是测试系统进一步减少测试时间、降低测试成本的发展趋势下兴起的一项新技术,也是支撑 NxTest ATS 的新技术之一。并行测试技术通过对系统资源的优化利用,大大提高了测试系统的测试效率和性价比,其突出表现为:

1) 提高 ATS 的吞吐率。并行测试系统的主要优势就是能在同一时间内完成多个 UUT 的测试任务,从批量测试的角度提高了系统的吞吐率,从而达到减少测试时间的目的。

2) 提高仪器使用效率。并行测试从减少仪器的闲置时间和充分利用仪器资源两个方面来提高仪器的使用效率。如前文所述,并行测试任务不断地运行,申请仪器地使用,仪器一旦闲置就再次被新的测试任务申请使用。在最理想的状态下,整个测试过程中仪器一直处于工作状态。

3) 缩减测试时间。并行测试可以同时进行多个测试,在一定时间内,在执行两个测试任务时,并行测试要能比传统顺序测试测试量提高 50%,但事实上,由于存在多个测试的切换时间,因此一般会低于 50%。

并行测试技术正以不可比拟的优势成为未来测试系统发展的热点,将是下一代 ATS 的主要特征之一。随着对并行测试技术的研究不断完善和深入,人们越来越意识到并行测试技术的巨大优势。通过本文对并行测试技术所做的基础性研究,希望对将来并行测试技术的大量应用有所帮助,从而为大幅度提高我军武器装备战时的快速维护保障能力提供有力的技术支持。

## 参考文献:

- [1] William A Ross. The Impact of Next Generation Test Technology on Aviation Maintenance[ A ]. AUTOTESTCON proceedings, IEEE, 2003.
- [2] Anderson J L. High Performance Missile Testing[ A ]. AUTOTESTCON proceedings, IEEE, 2003.
- [3] Zhu Xiao - Ping, Xiao Ming - Qing. The TPS Development of Parallel Automatic Test Systems[ A ]. AUTOTESTCON proceedings, IEEE, 2004.
- [4] McDonnell R. Benefits of Parallel Testing[ EB/OL ]. <http://www.ni.com/Developer zone>, 2002.
- [5] McDonnell R. Parallel Test Architectures for Reducing the Cost to Test[ EB/OL ]. <http://www.ni.com/Developer zone>, 2004.
- [6] Jim Beveridge Robert Wiener. Multithreading Applications in Win32[ M ]. Addison Wesley Longman, Inc, 1997.
- [7] James Grey. Parallel Testing and TestStand 2.0[ EB/OL ]. <http://www.ni.com/Developer zone>, 2001.
- [8] Eric Starkloff. Designing a Parallel, Distributed Test System[ A ]. AUTOTESTCON proceedings, IEEE, 2000.
- [9] Ronald C . Concurrent Test Systems Using the Structured Distributed - programming Paradigm[ A ]. AUTOTESTCON proceedings, IEEE, 2000.
- [10] 张毅刚,乔立岩.虚拟仪器软件开发环境 Lab Windows/CVI 6.0[ M ].北京:机械工业出版社,2002.

(编辑:姚树峰)

## Summary of Parallel Test Technology

XIAO Ming- qing, ZHU Xiao- ping, XIA Rui

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

**Abstract:** Some challenges faced in weapon system maintenance of our army, especially of Air Force, are first introduced and a parallel test technology is derived in this paper. Great advantages of the parallel test technology are displayed based on the analysis of parallel test concept. And then various implement approaches of parallel test, their merits and demerits are analyzed in detail. In the end, several basic system architectures of parallel test are put forward, which give some useful foundation work for the parallel test technology application in the future.

**Key words:** parallel test ; sequence test ; cost of test ; implement approach ; system architecture