

一种可动态配置的PC适配卡

戴紫彬, 徐建

(解放军信息工程大学电子技术学院, 郑州 450004)

摘要:分析了ALTERA公司FPGA的PS模式配置时序和配置文件,提出了基于PCI总线的FPGA芯片动态配置设计思想,研究了可动态配置的PC适配卡原型电路,设计了动态配置状态机,给出了配置流程。

关键词: PCI; FPGA; PS模式; 状态机

中图分类号: TP334 **文献标识码:** A **文章编号:** 1009-3516(2005)02-0073-03

FPGA以其具有极大的灵活性和现场可编程特性得到广泛的应用。按工艺划分,FPGA可分为反熔丝型、FLASH型和SRAM型。反熔丝型虽然具有极强的保密性、但由于仅能编程一次,在使用上受到极大限制;FLASH型FPGA克服了反熔丝型FPGA的缺点,但受结构和工艺限制,在容量上很难满足工程需求;目前SRAM型FPGA以其具有容量大、可反复编程的特性得到广泛应用。SRAM型FPGA上电工作时需要现场配置,配置可以选择利用外置的FLASH芯片或通过下载电缆连接计算机并口直接配置两种方式^[1],当选用外置的FLASH芯片配置时,配置数据保存在FLASH内部,极易被非法窃取和修改,设计师的知识产权无法得到充分保护;当选用后者时,需要FPGA开发软件的支持,在应用上十分不便。

1 PCI 适配卡电路结构

本设计方案针对PCI总线适配卡。该卡主要包括PCI总线接口芯片、输入/输出缓存、局部总线控制模块、动态配置模块、实现专用运算与通信控制的FPGA等^[2]。电路的整体结构见图1。

采用PCI9054作为PCI总线接口芯片,实现PCI总线与适配卡的通信。

设置PCI9054工作于C模式,配置PCI9054内部寄存器,使用局部地址空间S0作为电路各模块的访问空间^[3],空间S0的基址为20000000H,范围为64kB,映射至PCI存储空间,总线宽度32bit,设置外部输入信号READY#有效,作为等待信号。选用ALTERA公司的EPM7256A作为局部总线控制芯片,在该芯片内部配置状态寄存器、命令寄存器、输入数据缓冲区、输出数据缓冲区及配置端口,地址空间分配见表1^[3]。

ALTERA公司的FPGA基于SRAM工艺,可以通过编程实现复杂的组合与时序逻辑,可以实现FIFO、RAM、ROM、微处理器等^[4],具有在系统配置的特点,用作内部可动态配置器件。该FPGA可以选择FLEX8K、FLEX10K、ACEX1K、APEX20K、CYCLONE等系列器件。

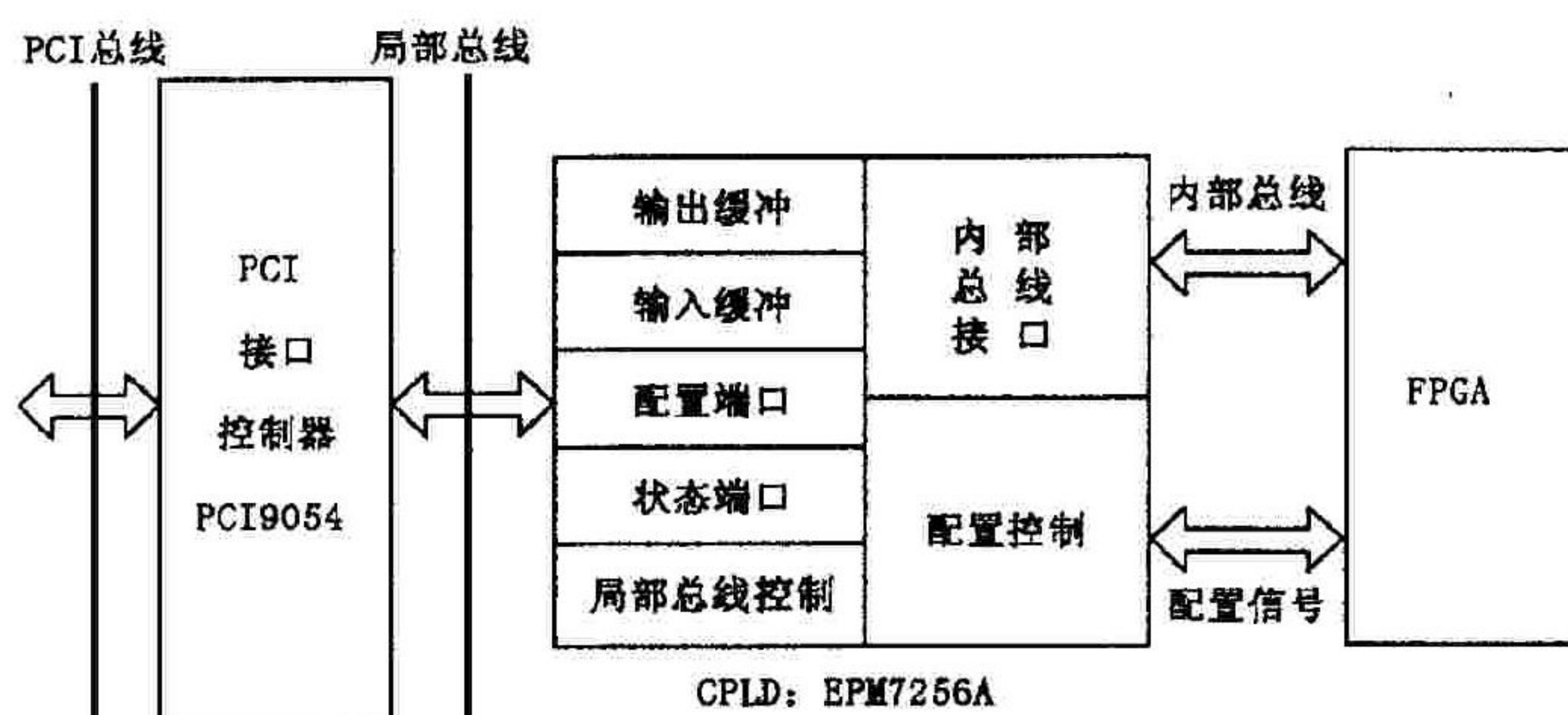


图1 PCI 适配卡电路结构

表1 PCI9054 局部地址空间分配

S0 + C000H	输出缓冲
S0 + 8000H	输入缓冲
S0 + 4000H	配置端口
S0 + 0000H	状态端口

收稿日期:2004-05-10

基金项目:国家基础研究课题(SJW51-2002-79)

作者简介:戴紫彬(1966-),男,河南商丘人,副教授,博士生,主要从事信息安全、嵌入式系统、军事通信等领域的研究

2 动态配置电路硬件设计方案

2.1 PS 配置时序

ALTERA 公司 FPGA 具有被动串行(PS)、主动串行(AS)和 JTAG 三种配置方式,其中 PS 模式为 FPGA 的通用下载方式,操作透明、配置简单。在该模式下,外部电路采用 5 条信号线对 FPGA 进行配置,分别为配置时钟 DCLK,配置数据 DATA0,配置启动 nCONFIG,配置状态 nSTATUS,配置完成 CONF_DONE 信号。配置时序见图 2^[5]。

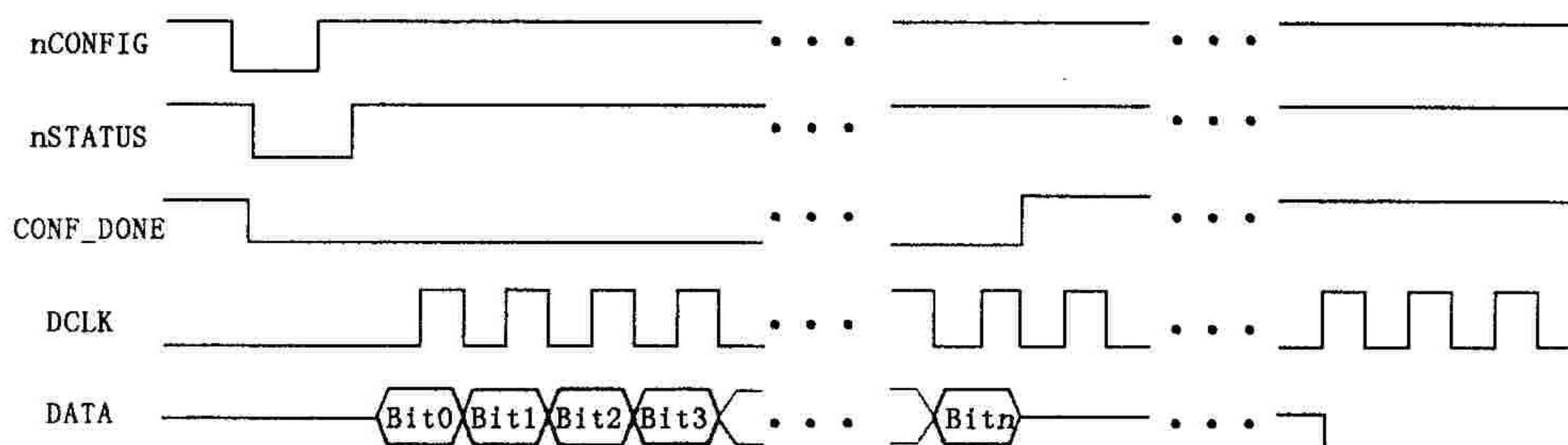


图 2 PS 模式配置时序

2.2 下载模块电路设计

在 EPM7256A 内部设计动态配置电路,包括配置模块与状态寄存器,地址空间分别为 $S0 + 4000H$ 和 $S0 + 0000H$ 。配置模块由 2D 锁存器、长度计数器、数据移位寄存器、状态机、局部总线控制模块构成。2D 锁存器锁存主机送入的命令 LD[1:0],LD[1:0]=01 为初始化命令、10 为启动命令、11 为配置数据命令、00 为配置完成命令,命令输出到动态配置状态机,作为控制输入。数据长度计数器内部存放本次配置的数据长度,位宽 5 bit,连接局部总线 LD[7:3],计数器最大计数范围为 24,每写入 1 bit,长度值减 1,当减至 0 时,产生借位信号,作为本次配置完成信号,送入状态机。数据移位寄存器共计 24 bit 宽,连接 LD[31:8],内部装载本次配置的数据,在状态机的控制下,顺序移出,写入 FPGA。局部总线控制模块产生局部总线的写使能、读有效信号,当 PCI9054 寻址到 $20004000H$ 时,产生写使能信号,PCI9054 寻址到 $20000000H$ 时,产生状态寄存器输出有效信号。状态寄存器输出连接局部总线,输入连接 FPGA 输出的配置状态信号 nSTATUS、CONF_DONE 和配置电路产生的本次配置完成信号。电路结构见图 3。

2.3 动态配置状态机设计

动态配置控制状态机负责协调各个模块的工作。其输入时钟信号 LCLK,复位信号 LRESET#,配置端口写使能 DLC_WEN,本次配置完成指示 CONFIG_DATA;输出为配置时钟 DCLK,配置启动 nCONFIG,配置数据 DATA0,移位使能 CONFIG_DATA_SHEN,计数使能 CONFIG_LEN_EN。状态转换过程见图 4。

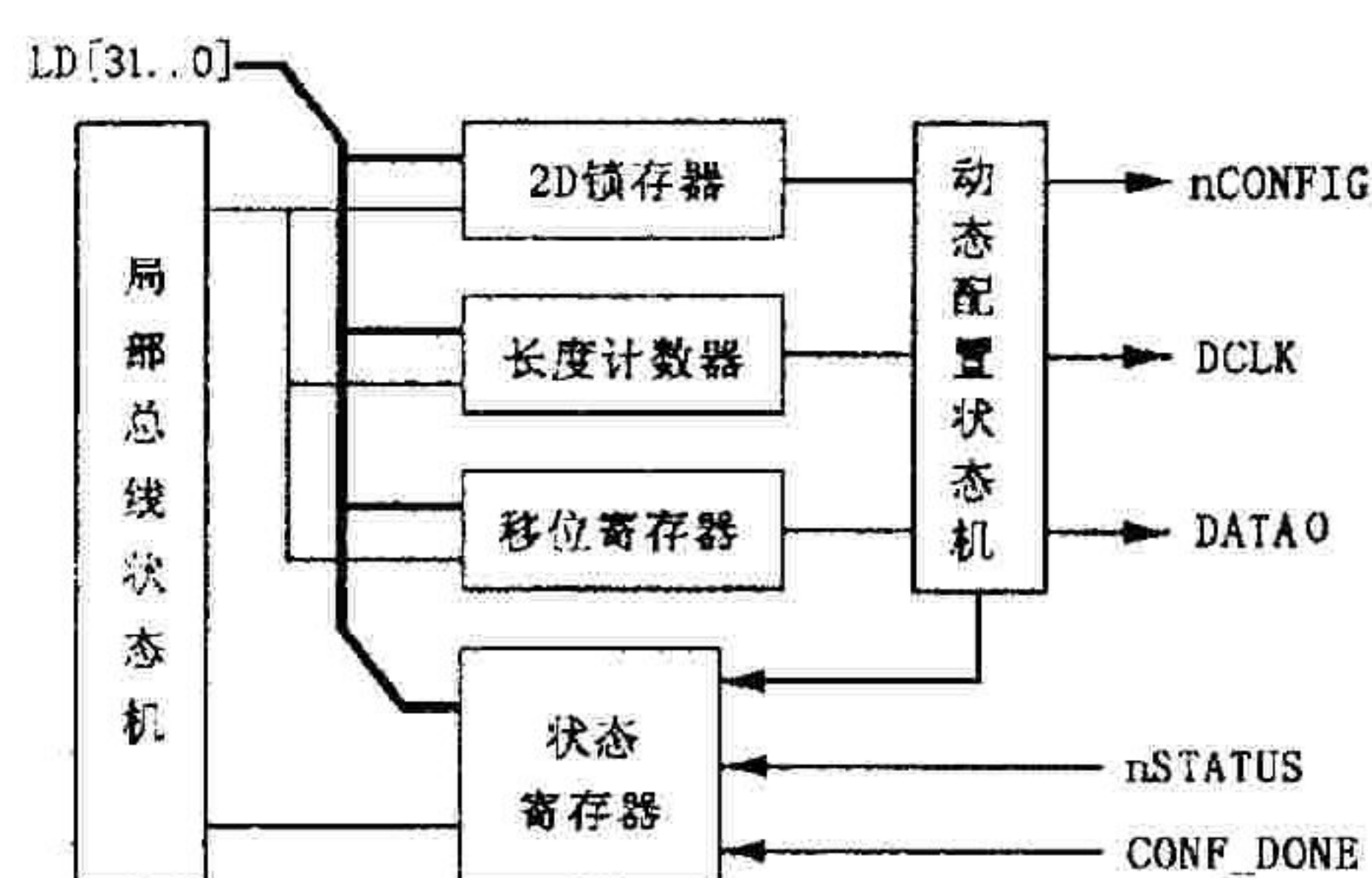


图 3 动态配置电路结构框图

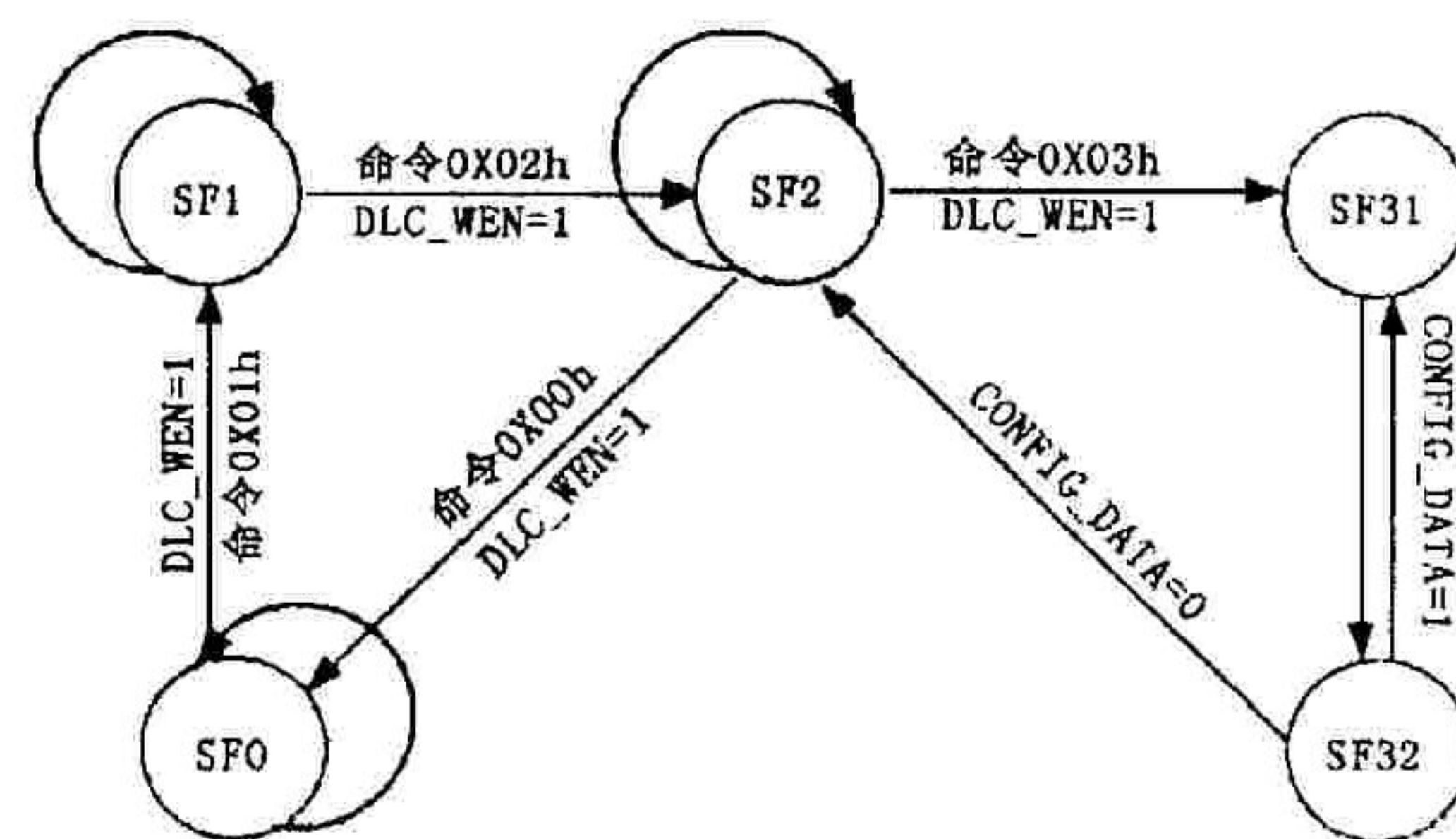


图 4 配置状态机状态状态转换图

状态 SF0 为“等待命令状态”,等待软件配置启动命令。此状态所有配置信号均无效,当转换条件满足时,跳转到下一状态,否则继续维持原状态。状态 SF1 为“启动配置状态”。配置启动,并且配置信号输出使能打开。当命令变为 0x02h,跳转到 SF2“等待数据状态”,配置启动关闭,输出使能继续有效。下一命令为 0x00h 时,跳转到 SF0“等待命令状态”;若命令为 0x03h,状态机转到 SF31“配置数据状态 1”,此时移位使能有效,计数使能打开,发 DCLK 为高电平及第 i 位有效数据。下一状态机为 SF32“配置数据状态 2”,移位使能与计数使能均关闭,发 DCLK 为低电平及第 $i+1$ 位有效的数据。若本次配置数据还没有结束,则转到

SF31 状态,继续配置下一数据;否则,跳转到 SF2 状态,等待下一长度配置数据。

3 配置流程

ALTERA 公司的综合工具生成的用于配置芯片的文件主要有三种:SRAM 目标文件(.sof)、编程器件目标文件(.pof)和二进制流文件(.rbf)。SRAM 目标文件和编程器件目标文件除包含配置信息之外,还包含文件头等信息,需要 ALTERA 公司提供的下载软件与下载电缆支持,分别用于直接配置 FPGA 芯片和专用配置芯片;而二进制流文件内部仅包含配置数据,该文件按字节逐个存放,在每一个字节内,按照自低位至高位的方式排列,即低位在前,高位在后,适合微处理器进行配置,在这里选用二进制流文件作为配置文件。

配置流程主要包括初始化、配置启动和配置数据三步。首先开机,操作系统启动,复位信号 LRESET 有效,初始化硬件设备;其次,启动配置,启动下载电路模块;最后,配置数据,待下载的二进制流文件依次写入待配置的 FPGA,配置完成后,发出相应的指令终止下载电路操作。在每一个具体步骤中,需要不断读取状态寄存器的值检测配置标志位的变化,依据状态值确定进一步的操作方式。

4 实验环境及测试结果

本文搭建了一个实验平台,对本设计进行了性能测试。在 Windows 2000 系统下,采用 VC++ 6.0 作为软件开发工具,选用 ALTERA 公司 Cyclone EP1C12Q240C8 作为配置芯片,利用两种方案对其进行现场动态配置。方案 1:采用传统主机 PS 模式对 FPGA 进行现场配置。方案 2:采用本文设计模式对 FPGA 进行现场配置。

配置文件大小固定为 290 405 字节,采用配置 20 次取平均值的方法,得到了两种方案的配置时间:方案 1 为 19.6 s;方案 2 为 0.85 s

由测试结果可知,采用方案 2 配置,软件每次经 PCI 总线向硬件提供 24 bit 数据,使得下载速度大幅度的提高,同时 FGPA 掉电后内部数据会自动清除,保障了 FPGA 的安全、保密。

5 结束语

本文选用 ALTERA 公司的 EPM7256A 作为 PCI9054 局部总线与 FPGA 配置控制芯片,在其内部实现专用下载电路,有机的将配置电路和 PCI 适配卡结合在一起,实现了 FPGA 的真正“动态可配置”,为可编程 PCI 适配卡的设计提供了一种原型电路。

参考文献:

- [1] ALTERA Inc. Configuring SRAM - Based LUT Devices[M]. New York:ALTERA Inc,2002 .
- [2] Tom Shanley. PCI 系统结构[M]. 北京:电子工业出版社,2000.
- [3] 戴紫彬. PCI9054 局部总线设计及应用[J]. 微电子学与计算机,2003 ,(8):112 - 115.
- [4] PLX Inc. PCI9054 Data Book[M]. New York:PLX Inc,2000 .
- [5] ALTERA Inc. Configuring Cyclone FPGAs[M]. New York:ALTERA Inc,2002 .

(编辑:姚树峰)

A Dynamic Configurable PCI Adaptor

DAI Zi -bin, XU Jian

(Institute of Electronic Tchnology, the PLA Infomafion Engineering University, Zhengzhou, Henan 450004, Chi-na)

Abstract:This paper analyzes the PS mode configuration timing and configuration files of FPGA from ALTERA Company, presents a design thought of FPGA dynamic configuration based on PCI bus, simultaneously studies the dynamically configurable PCI adaptor card circuit, designs a configurable state machine and gives out the configuration flow.

Key words : PCI ; FPGA ; PS mode ; state machine