

边界扫描技术在 PCB 可测性设计中的应用

王建业, 阚保强, 吴法文

(空军工程大学 导弹学院, 陕西 三原 713800)

摘要:运用边界扫描技术,对 PCB 可测性设计进行了研究,给出了具体实现方法,并实现几种电路板的可测性设计。结果证明该方法有效缩短了电路板开发周期,降低了维修测试费用,具有较大的实用价值。

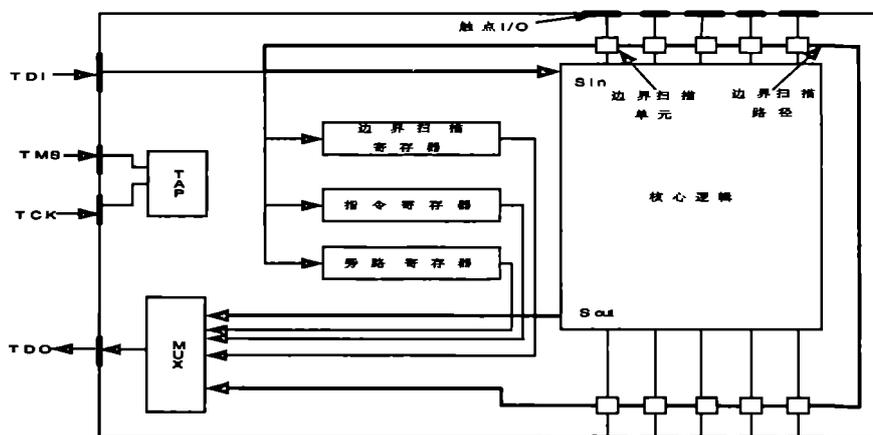
关键词:边界扫描; 电路板; 可测性设计

中图分类号:TP18 **文献标识码:**A **文章编号:**1009-3516(2003)05-0060-04

随着科技的发展,在新的电子、电脑产品的开发和生产时电路的器件布局日益复杂,给电路的线路检测、线路板故障的检查以及排除和 FLASH、CPLD ISP(在线编程)带来很大的麻烦,另一方面,目前 90% 以上的芯片(尤其 VLSI)都带边界扫描结构,支持 IEEE Std 1149.1,而芯片的边界扫描结构正是超大规模集成电路的主流测试技术——边界扫描技术的物理基础。因此,随着边界扫描技术的发展和支 持边界扫描的芯片增加,在整个板级利用边界扫描技术进行可测性设计成为一种必然趋势。

1 BST 介绍

边界扫描技术 BST^[1]是一种可测性设计结构技术,每个 BST 电路是用边界扫描单元组成的边界扫描链,每个 IEEE1149.1 兼容的器件,都包括测试输入/输出通道端口(TAP)、TAP 控制器和由边界扫描单元构成的移位寄存器。边界扫描单元介于外部管脚与内部逻辑之间,由 TAP(检测口控制器)来控制数据链在边界扫描链中的动作,结构接口如图 1 所示。TAP 控制器是一个 16 状态的状态机,可产生时钟信号和各种控制信号,从而使指令或测试数据移入相应的寄存器,并控制边界扫描测试的各种工作状态^[2]。



TDI:是数据输入线; TDO:是数据输出线; TMS(TEST MODE SELECT):工作方式控制线; TCK(TEST CLOCK):工作时钟。

图 1 支持 IEEE1149.1 器件的边界扫描结构

收稿日期:2003-06-03

作者简介:王建业(1962-),男,陕西耀县人,副教授,硕士,主要从事微电子学研究。

2 可测性设计分析

可测性设计包含两个方面的目的^[3],一是减少测试矢量数目,二是降低测试向量生成的难度。对于一个 n 个原始输入端的无扇出电路系统,将其分成 s 块,则该电路的等效输入端即为 $(s+n-1)$ 个,设对于 s 块对应的等效输入端数分别为 $A_i (i=1, 2, \dots, s)$, 则有

$$\sum_{i=1}^s A_i = s + n - 1 \tag{1}$$

则穷举测试具有 A_i 个输入端的子块,必有 2^{A_i} 个测试向量,穷举测试整个电路共需 $\sum_{i=1}^s 2^{A_i}$ 个测试向量。从理论上可以证明当

$$A_1 = A_2 = \dots = A_s \tag{2}$$

时所需测试向量最少。所以电路板可测性设计时必须先把电路进行有效的分块。另外,由布尔差分法得节点 p 的故障测试向量为

$$T = \{ \bar{h}^a * \frac{df}{dh} = 1 \} \tag{3}$$

\bar{h}^a 是敏化故障,反映了原始输入节点 p 的可控制性, $\frac{df}{dh}$ 则反映了原始输入对敏化通路的控制作用和故障信号可能传输到原始输入端的不同路径,即 p 的可观性。所以,提高电路的可测性本质上是增加电路的可控性和可观性。利用边界扫描技术进行电路板的可测性设计,本质上是提高系统的可观察性和可控制性。由 Stedphenson 可测性度量理论,知电路系统的可测性为

$$TY(\text{电路}) = \sum_{i=1}^N TY(\text{节点}) / N \tag{4}$$

其中, $TY(\text{节点}) = CT(\text{节点}) * OY(\text{节点})$; N 为电路节点总数。采用边界扫描技术,使得边界扫描单元的 I/O 节点的可观性和可控性大大提高,从而提高了整个电路系统的可测性。

3 边界扫描技术在板级可测性设计中的实现方案

板级故障模型主要有:呆滞型故障($s-a-1, s-a-0$);固定开路故障;短路故障。板级结点模型包括:简单结点(直接导线相连的),多扇出结点,多驱动结点以及逻辑组件结点^[4]。有了这些模型,我们就可方便的对其进行测试设计。板级测试主要是对器件间互连线的检测和器件管脚的故障检测和隔离。

3.1 硬件部分的设计

对于互连线的测试,利用支持边界扫描器件的边界扫描单元控制的端口作为互连网络的测试输入,另一边扫描单元控制的端口作为响应输入。测试向量由 TDI 经边界扫描链串行输入,再由边界扫描单元并行加载。响应由边界扫描单元并行采集,经扫描链由 TDO 输出。其结构框图如图 2 所示。

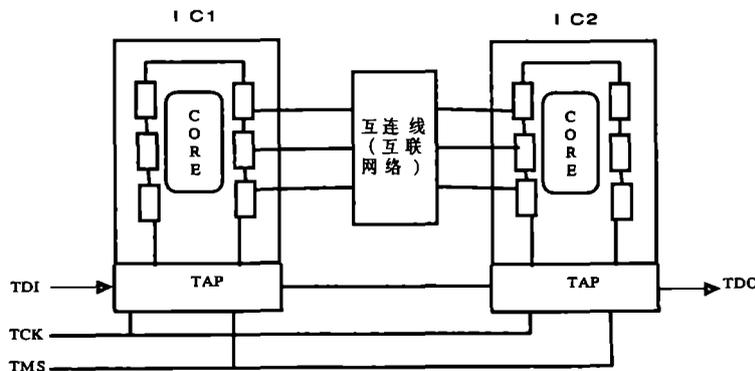


图 2 扫描链包围法对互连线的测试

对于全为 BS 器件的电路板,只要将器件的 TDI、TDO 依次首尾相联,形成一个边界扫描链即可对整个电路板进行测试。但是往往一个电路板系统包含不少非边界扫描器件。对于非边界扫描器件的测试,一般将那些不带 JTAG 接口的元器件可以分为几组(Cluster),通过每组和那些带有 JTAG 接口芯片的管脚相连,实现对每一组“扫描链包围”而达到对它的测试。当非边界扫描器件较多时,则可以利用可编程逻辑器件为其设计边界扫描测试电路。存储器和 FLASH 则可以通过总线来测试,这样整个线路板对外只是一个简单的 JTAG 接口。基于边界扫描技术的电路板可测性设计总体设计框图如图 3 所示。

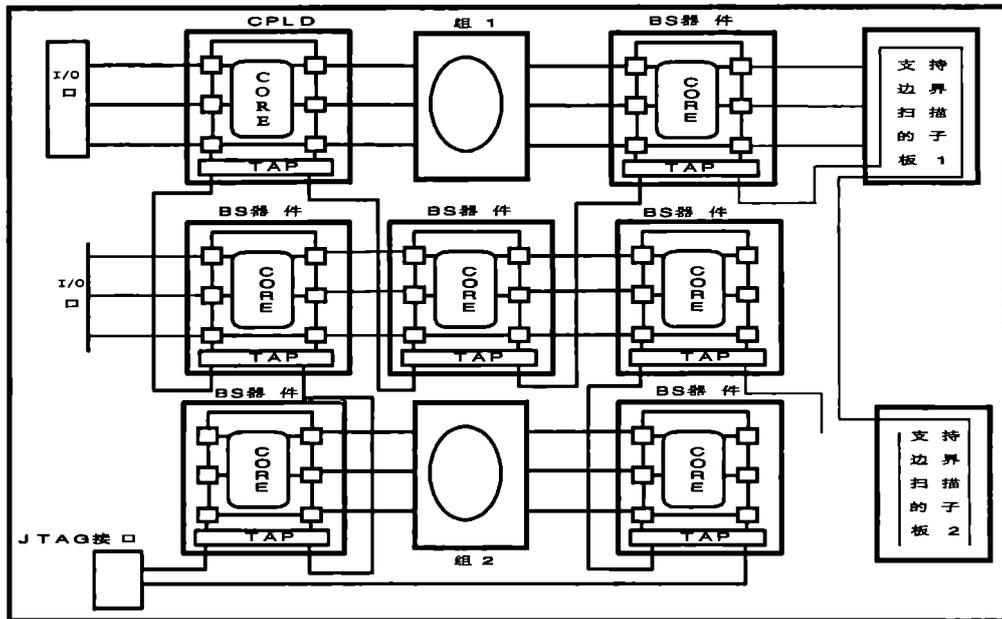


图3 边界扫描技术在板级测试中的实现

3.2 软件系统设计

包括测试向量的生成、加载以及测试响应的分析与处理,并给出故障报告。测试向量可由电路板的网表和 BDSL 按一定的算法生成,同时生成故障字典。由边界扫描控制器实现测试向量对被测板的加载。

4 电路板可测性设计的具体方法

在器件的选择上要尽量选用支持 IEEE1149.1 标准的芯片,当前大部分大规模芯片都带有 JTAG 接口。尤其数字部分争取用可编程逻辑器件实现,同时对 CPLD 器件的选择尽量采用 IEEE1532 兼容的器件^[5],这样可以有效地对不同厂家的 CPLD 器件进行同时配置。

在电路板设计时应注意的问题:①在 PCB 设计规划时应尽可能将数字量和模拟量电路在物理位置上分离。这是因为模拟电路测试,还存在很多不成熟的地方。而边界扫描技术对数字部分几乎能 100% 的覆盖,②尽量避免逻辑冗余电路,否则将会造成冗余节点的故障不可测性,并很可能导致非冗余电路中的故障变的不可测;③合理安排 PCB 上的元件和走线。由于现在的电路板存在边界扫描器件和非边界扫描器件,所以在元件的布局上必须做到合理。以便于将边界扫描器件组成一个菊花链,又能实现对非边界扫描电路的有效驱动和测试。同时非 JTAG 器件的控制线应连结到边界扫描单元上,以便能对其进行非使能控制;④为了保证 TCK 和 TMS 信号的完整性,在输入部分最好加上缓冲器。

5 结束语

随着 BST 技术的不断发展,PCB 测试将逐步完善^[6]。由于可编程集成电路的大量使用,PCB 测试的灵活性和适用性将会提高,而相应的测试系统的成本将会减少。设计者可以在 PCB 上全部采用可编程逻辑的集成电路,只要通过软件编程即可修改芯片逻辑,从而做成通用的印制电路板,使 PCB 电路板可以完成不同

的功能。这样边界扫描测试技术将使得 PCB 测试更加方便快捷,极大地降低测试成本。另外,边界扫描测试技术对于产品的生产周期、研制费用、提高平均故障间隔时间(MTBF)等方面具有重要意义。更为重要的是,由于边界扫描测试具有非常高的故障覆盖率,并且诊断时间短,因此特别适合现场维修。

参考文献:

- [1] IEEE Std 1149.1 - 1990 (Includes IEEE Std 1149.1a - 1993), IEEE Standard Test Access Port and Boundary - Scan Architecture. [S].
- [2] Zhobrist G W. WLST Fault Modeling and Testing Techniques[M]. New Jersey: Able Publishing Corporation, Norwood, 1993.
- [3] 李若仲. CPLD 应用中 VHDL 的优化设计[J]. 空军工程大学学报(自然科学版), 2003, 4(2): 74 - 77.
- [4] Lechner A, Ferguson J, Richardson A, et al. A Digital Partial Built - In Self - Test Structure for a High Performance Automatic Gain Control Circuit[A]. Proceedings of the Design Automation and Test in Europe Conference[C]. 1999, 9 - 12.
- [5] 曾芷德. 数字系统测试与可测性[M]. 长沙: 国防科技大学出版社, 1992.
- [6] 吴兰臻. 基于 BST 技术的印制电路板的测试[J]. 仪器仪表学报, 2002, (3): 25 - 27.

(编辑: 田新华)

Application of Boundary Scan to the Design for Test of PCB

WANG Jian - ye, KAN Bao - qiang, WU Fa - wen

(The Missile Institute, Air Force Engineering University, Sanyuan, Shaanxi 713800, China)

Abstract: This paper studies the design for test of PCB by using the boundary scan technique, gives out a concrete implementing method and presents the realization of the measurability designs of some circuit boards. The result shows that, by using this method, the developing period of PCB can be effectively shortened and the cost of maintenance and test can be reduced.

Key words: boundary scan; PCB; design for test

(上接第 15 页)

参考文献:

- [1] 曾天翔. 电子设备测试性及诊断技术[M]. 北京: 航空工业出版社, 1996.
- [2] 《可靠性维修性保障性术语集》编写组. 可靠性维修性保障性术语集[M]. 北京: 国防工业出版社, 2002.
- [3] 陈光禹, 潘中良. 可测试性设计技术[M]. 北京: 电子工业出版社, 1997.
- [4] 陈学楚. 装备系统工程[M]. 北京: 国防工业出版社, 1995.
- [5] 甘茂治, 吴真真. 维修性设计与验证[M]. 北京: 国防工业出版社, 1995.
- [6] 秦孝孝, 周明德, 严勇, 等. 可靠性维修性保障性概论[M]. 北京: 国防工业出版社, 2002.
- [7] 杨廷善. 军工测试技术标准化综述[J]. 测控技术, 2001(10): 1 - 2.
- [8] 黄考利, 刘保华, 杨锁昌. 地空导弹系统可测试性设计[J]. 计算机测量与控制, 2002, (10): 672 - 674.
- [9] 张波, 陈岩申, 张桂芝. 外军电子自动测试系统及其相关技术的应用与发展情况研究[J]. 计算机测量与控制, 2003, (1): 1 - 2.
- [10] 肖明清. 基于 VXI 总线的某型飞机自动测试系统研究[D]. 西安: 西北工业大学, 2000.

(编辑: 姚树峰)

The Necessity of Appointing a General Test Engineer in the Course of Developing New Weapons

XIAO Ming - qing, CHENG Jin - jun

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: In this paper, the important effect on reliability and maintainability of DFT (Design For Testability) of weaponry is discussed, the necessity of appointing the general test engineer in the course of weapon development is expatiated and the task of the general test engineer is presented.

Key words: weaponry; testability; general test engineer