

高速 PCM 码解调电路的设计

蔡昌海¹, 党怀锁¹, 周立亚²

(1. 空军工程大学 导弹学院, 陕西 三原 713800; 2. 空军工程大学 工程学院, 陕西 西安 710038)

摘要:为了从接收到的 PCM 码中还原出原始信号, 阐述了一种由硬件实现帧同步, 由串并转换器完成 PCM 码解调器的高速 PCM 码解调器电路。该电路已用于某智能遥测系统检测中, 具有工作稳定, 抗干扰能力强的特点。

关键词:PCM 码; 帧同步; 解调

中图分类号:TN762 **文献标识码:**A **文章编号:**1009-3516(2002)06-0071-04

系统 PCM 信号由帧脉冲和遥测数据码组成, 其形成过程是: 遥测信号 PCM 解码器在可编程控制端口的控制下, 按照规定码速率中的帧格式对来自遥测信号调制器的被测信号进行量化, 编码, 形成串行 PCM 数据。PCM 编码器的主要特征为: 码速率 409.6 kbps, 帧同步为 16 bit (EB90H), 帧长 64 字, 字长 8 bit, 输出码型 NRZ-L (不归零码), 输出阻抗 300 kΩ, 输出 TTL 电平, 测量通道 64 路 (模拟 56 路, 数字 8 路)。为了用时分方式传输多路信号, 发送方与接收方的时间间隔必须准确一致, 进行通信时必须将同步脉冲叠加到 PCM 脉冲系列中去。同步分位同步 (或称数据同步) 和帧同步, 位同步就是发送方编码器与接收方解码器的数字信号时间应当保持一致, 而帧同步指的是, 每 64 路的 PCM 脉冲系列构成 1 帧, 各帧的起始时间和结束时间保持同步关系。对于位同步, 接收方是从各路 PCM 波中取出其频率成份, 以控制设置的时钟脉冲, 不用特别附加同步位。帧同步是在第 61、62 路的脉冲后附加路同步码组 EB90H。图 1 是 PCM-64 通信的帧格式, 图中帧周期 $T_s = 1/f_s = 1/800 = 1.25 \text{ ms}$, 时隙周期 $T_{SN} = 1/f_{SN} = T_s/64 = 19.5 \mu\text{s}$, 时钟周期主振幅 $f_{cp} = 1/T_{cp} = 409.6 \text{ kHz}$ 。该 PCM 码信号从弹上编码器连续不断地发送下来, 编码信号符合 TTL 标准, 要求解码电路将该串行信号进行串并转换, 还原为并行的字节数据, 供后续电路存储器存储。

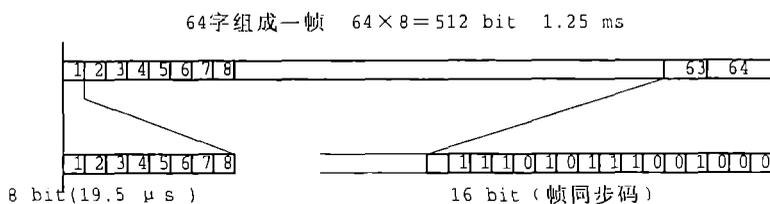


图1 帧结构

1 PCM 解调方案

本设计解决的是数字通信系统后方接收问题, 目的是将收到的 PCM 码流转换为并行数据, 在接收端将解调出的群路信号还原成复接前的各支路数据, 并放入特定的位置, 完成的是分接过程, 数据分接完成后, 就要考虑录取工作了。PCM 码解调方案原理图如图 2 所示。整个 PCM 解调系统工作原

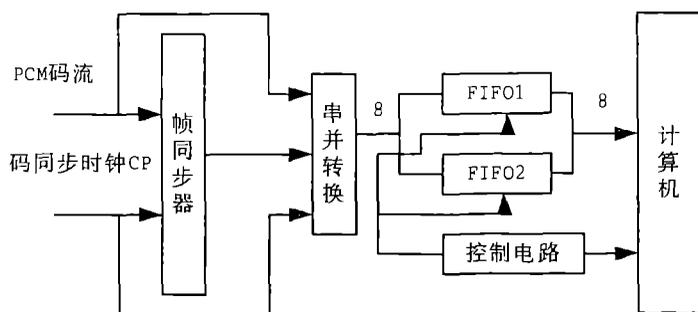


图2 PCM 解调方案原理框图

理如下:串行 PCM 数据流在码同步信号作用下,通过移位寄存器转换为 8 路并行数据,并行数据在子同步(路同步)信号的作用下取出,在控制电路的配合下,交替存入由 FIFO1 和 FIFO2 组成的缓冲器中。当 FIFO1 (FIFO2) 存满时,系统自动切换,数据再向 FIFO2 (FIFO1) 写入。计算机采用查询方式读取数据。然后,计算机利用剩余时间将缓冲存储器中的一部分数据读到显示缓存区,进行实时监控处理,每当 FIFO2 (FIFO1) 写满(或写结束)而使控制逻辑发出中断信号时,计算机立即停止当前的工作,转向读取 FIFO2 (FIFO1) 的数据,送往硬盘,如此交替,直到任务完成为止。为了系统起见,给出 PCM 串行数据解调系统整体联系图,如图 3 所示。

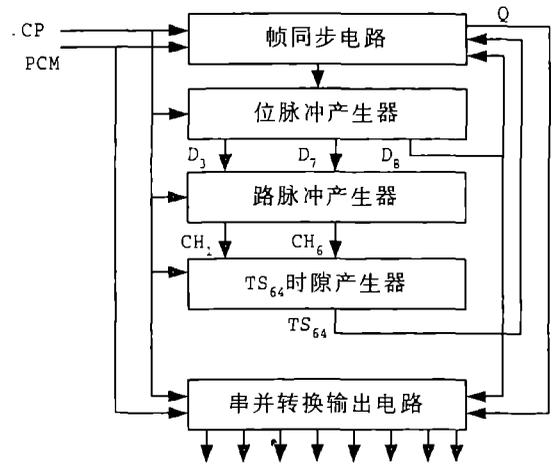


图 3 PCM 串并数据解调系统整体联系图

2 帧同步系统

设备开机后整个系统要很快地进入帧同步状态,若一旦出现帧失步后,要求设备能很快地恢复同步。在接收端用置位同步法实现帧同步,即分接通过搜捕/校核输入码流中的帧同步码“1110101110010000”来实现帧同步,框图如图 4 所示。同步检测时看比较同步码标志脉冲 P_s 与本地脉冲 P_c 两者结合是否一致,输出 P_r (正确标志脉冲) 表示同步,否则输出 P_w (错误标志脉冲), P_c 是由调整指令电路和收发定时电路产生的与同步码组周期相同的比较信号。其工作过程如下:

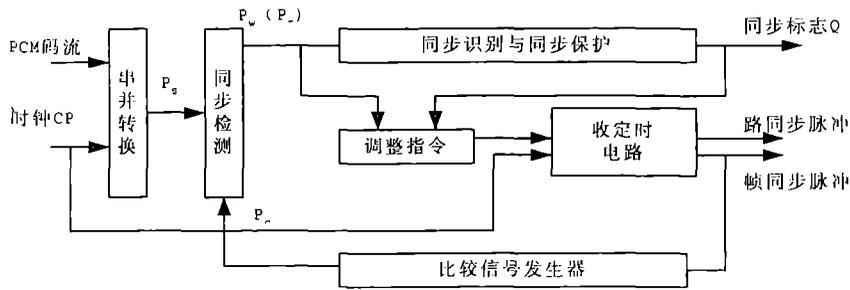


图 4 帧同步系统方框图

1) 失步状态下,接收 PCM 码、串并转换、同步检测、保护记数 ($\alpha = 3$)、RS 触发器 ($Q_2 = 1, Q_1 = 1$)、有调整指令 ($M_0 = 0$)、收发定时电路置位;

2) 失步到同步状态时,接收 PCM 码、串并转换、同步码检出、帧检测电路、保护记数 ($\alpha = 3$)、RS 触发器 ($Q_2 = 1, Q_1 = 0$)、无调整指令 ($M_0 = 1$)、输出信号。

2.1 同步码组检出电路

由两级 8 位移位寄存器,2 片 8 位数字比较器完成 PCM 码的串并转换。当检测出同步码型 (1110011110010000) 时,同步正常,输出同步码标志脉冲 P_s (低电位)。电路设计中采用了 DIP 开关,因此,同步码组是可调的,提高了电路可扩展性,如图 5 所示。

2.2 同步识别与同步保护电路

电路如图 6 所示,若系统处于同步状态,同步验出的 P_s 为低电位,依次存入 ABC,ABC 输出均为 0

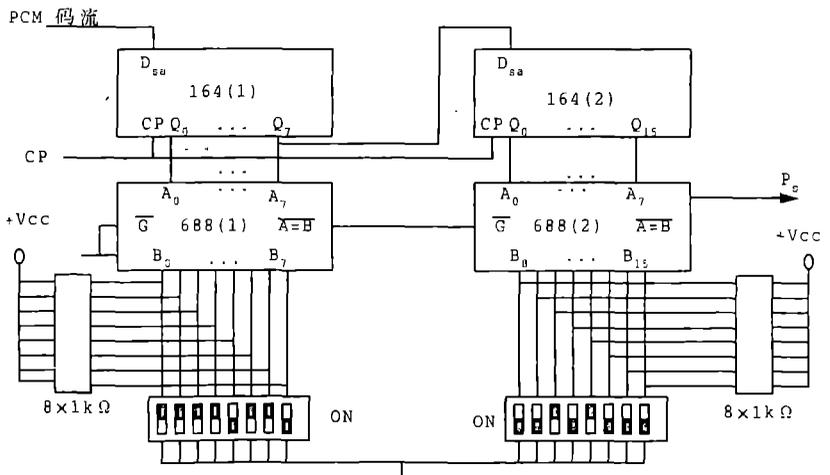


图 5 同步码组 EB90 检测

时(真同步),经 M_3 、 M_4 作用使 RS_1 的 $S=1, R=0$, 只有经过三次比较,相当于经历保护时间 7.5 ms ($\alpha=3$) 后,状态双稳态才输出低电位($Q=0$),此时,无调整脉冲输出。调整指令电路由 M_5 、 M_6 、 RS 及 RC 延迟电路组成,同步时, M_6 为禁门,输出为高电位, $M_6=1$,无调整。失步时且当 $S_2=1, M_6=0$ 时,送出调节负脉冲至收定时系统,使位脉冲发生器置位到初始状态。

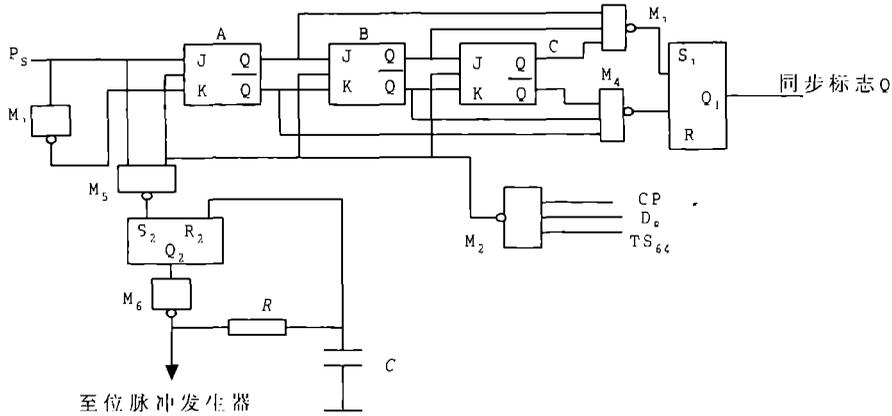


图 6 帧同步系统方框图

2.3 收定时系统

CP 时钟脉冲控制位脉冲发生器,CP 经 8 分频电路产生 $D_1 - D_8$ 个脉冲。其中 D_1, D_7 输入至路脉冲发生器,以产生路时钟 CP_{CH} ,将 CP_{CH} 经 64 分频,译码而产生 64 相路脉冲。其中 CH_1, CH_{64} 控制 TS_{64} ,时隙发生器产生 TS_{64} 时隙脉冲,通过 TS_{64} 判断是否帧同步。

2.3.1 位脉冲发生器

位脉冲发生器产生相位相差 16 bit 的位脉冲 $D_1 - D_8$,每个位脉冲相当于在一个时隙内循环一次,周期为 T_{SN} 。重复频率为 $f_D, f_D = f_{SN} = f_{cp} = 51.2\text{ kHz}$, n 为分频系数,也是一个时隙包含的码位数,这里取 $n=8$,每个位脉冲宽度为 $T_{SN}/8 = 2.44\text{ }\mu\text{s}$ (1bit)。其产生原理及波形关系如图 7、图 8 所示。位脉冲发生器采用环形移位寄存器完成,选用器件 74LS237(8D 触发器)及 74LS30(8 与非门)。

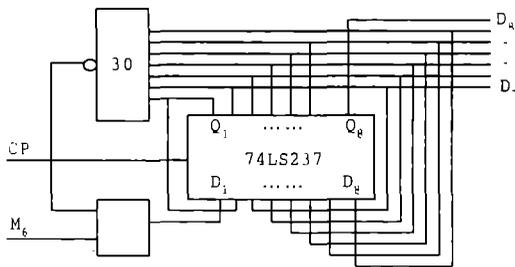


图 7 位脉冲发生器电路

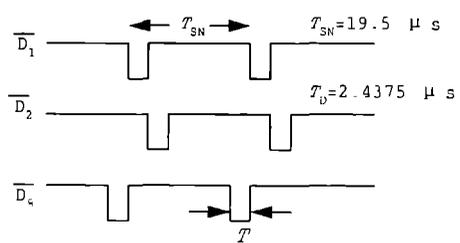


图 8 位脉冲产生原理及波形关系

2.3.2 路脉冲发生器

路脉冲发生器产生 64 个相位彼此相差一个路时隙的路脉冲,作为分路的控制脉冲,并供给形成帧同步用的时隙脉冲 TS_{64} ,路脉冲相当于一帧循环一次,则周期 $T_s = 1.25\text{ ms}$,重复频率 $f_s = 4\text{ bit}$ ($9.75\text{ }\mu\text{s}$),占空比 50%。电路实现用 8 个 D 触发器及一些与非门反相构成 64 分频电路。

2.3.3 帧同步脉冲(时隙脉冲 TS_{64})发生器

图 9 所示电路中,时隙脉冲 TS_{64} 供同步用,宽度 8 bit,重复频率 800 kHz,用 RS 触发器实

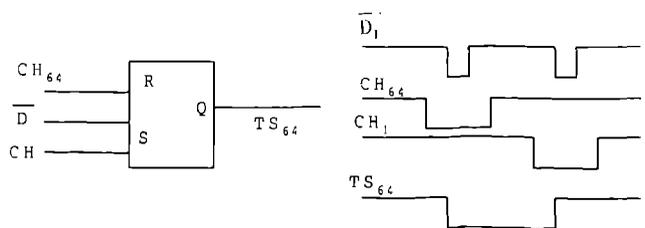


图 9 帧同步脉冲 TS_{64}

现。图中 $\overline{D_1}$ 作为时钟脉冲,利用其下降沿改变状态;用路脉冲 CH_1 、 CH_{64} 加至置位端与复位端,以保证 TS_{64} 位于正确时间间隔和重复周期。

3 数据的串并转换

帧同步以后,就要把串行数据转换为并行数据输出,这也是 PCM 解码的最终目的。串并转换器采用 8 位移位寄存器 74199(并行存取, J-K 输入), 用位脉冲 D_1 控制置数端 SH/LD。为对并行输出进行控制, 使用了 8 三态总线驱动器 74AS230, 其控制信号有 D_8 、同步标志 Q、CP 等, 目的是使失步状态时不输出并行数据, 如图 10 所示。

实际应用表明, 解调电路抗干扰能力强, 在应用中未发现误码, 该电路已用于某遥测智能检测系统中。

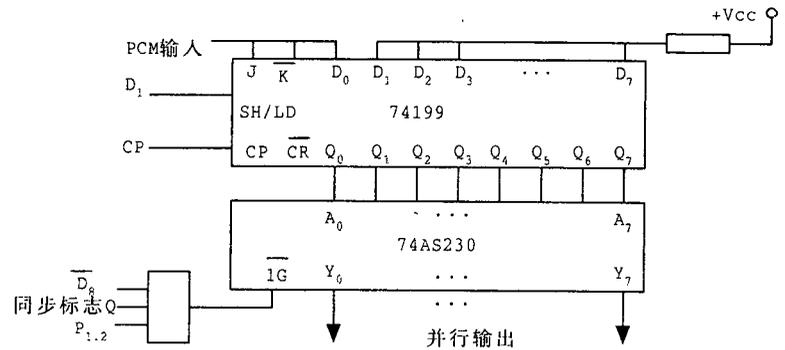


图 10 并行数据输出

参考文献:

- [1] 杜国信. 脉冲调制通信技术[M]. 北京:中国铁道出版社, 1990.
- [2] 李文海. 数字通信原理[M]. 北京:人民邮电出版社, 1986.
- [3] 李金明. FIFO 在高速系统中的应用[J]. 北京:电子技术应用, 1998, 24(3):13-15.
- [4] 张立冬. W99200F 在航空音视频纪录系统中的应用, 空军工程大学学报(自然科学版), 2002, 3(2):20-23.

(编辑:田新华)

Design of High Speed PCM Demodulation Circuit

CAI Chang-hai¹, DANG Huai-suo¹, ZHOU Li-ya²

(1. The Missile Institute, Air Force Engineering University, Sanyuan, Shaanxi 713800, China; 2. The Engineering Institute, Air force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: This paper presents a high speed PCM demodulation circuit through which the serial parallel converter plays a role of demodulating and the hardware realizes frame synchronization. This circuit is used in certain intelligent remote test system and shows the characteristics of stable work and better antijamming performance.

Key Words: pulse code modulation; frame synchronization; demodulation