

CPLD 仿真存在的问题及解决方法

杨宝强¹, 何伟², 赵东晔²

(1. 空军工程大学 训练部, 陕西 西安 710051; 2. 空军工程大学 工程学院, 陕西 西安 710038)

摘要:针对 CPLD 仿真过程中遇到的两个问题,即除法器的实现和流水线问题进行了研究,分析了按照常规方法所带来的偏差。对仿真过程进行了改进,给出了实用性的解决方案,提高了系统仿真速度,使得实时性得以提高。

关键词: 数字信号处理芯片;CPLD; 除法器;流水线

中图分类号: TN4 **文献标识码:** A **文章编号:** 1009 - 3516(2002)04 - 0074 - 03

专用数字信号处理芯片的研究在通讯、信息处理等方面有广泛的应用前景,越来越引起人们的重视。以前专用集成电路(ASIC)的设计是由半导体厂商来独立承担,使其应用受到一定的限制。但随着微电子技术的发展,出现了现场可编程逻辑器件(FPLD),其中应用最广泛的当属现场可编程门阵列(FPGA)和复杂可编程逻辑器件(CPLD),它使系统设计师在实验室就可设计出合适的 ASIC 芯片,并且立即投入到实际应用中。

CPLD 器件具有编程方便、集成度高,运算速度快的性价比等特点,作为这个市场上的佼佼者,Altera 公司推出的嵌入式可编程逻辑器件产品 FLEX10K 和开发工具 MAX + plus II 受到广大电路设计人员的青睐。MAX + plus II 是一个完全集成化、可在多种平台上运行的可编程逻辑设计环境,支持 VHDL、VerilogHDL、AHDL 等各种硬件描述语言^[1]。笔者在专用数字电路芯片的设计中也采用此软件,体会到其先进性和便捷性,但也发现一些问题,本文针对发现的问题,提出了解决方案。

1 除法器问题:

1.1 LPM - DIVID 除法器存在的问题

在数字信号处理中,经常出现下面的式子:

$$2\pi ft_s = \arccos\left[\frac{x(n+2) + x(n)}{2x(n+1)}\right] \quad (1)$$

即首先要进行除法,然后作反余弦运算。在用 MAX + plus II 进行设计时,推荐使用其自带的参数化模块库 LPM,其 LPM_DIVID 的除法器^[1]如下:

它有除数、被除数输入端口,商和余数输出端口,而且可以方便的定义处理数据的位数。但通过仿真发现,这种除法器在对于被除数小于除数(即商小于1)的情况下,商全零,余数为被除数(即没有进行除法运算)。以8位除法运算为例,被除数为13,除数为24,仿真结果时序见图1(以二进制数表示)。

而在式(1)中,除法结果在1 ~ -1中间。显然用 LPM_DIVID 无法实现。

1.2 解决方法

针对上述问题,只有考虑设计新的除法器。除法器的算法采用加减交替法,设被除数为 X,除数为 Y 其算法如下:

- 1) X + (-Y) 的补码(即被除数减去除数),得到余数。
- 2) 若余数为正,商位取1,余数左移一位,减去除数,得到新的余数;若余数为负,商位取0,余数左移一

位,加上除数,得到新的余数。

3)根据对商的要求,重复第一、二步。

这种方法与一般除法采用的恢复余数法相比,不仅可以省略恢复余数这一步,提高了运算速度,而且可以根据需要来控制商的位数,节约运算时间,这一点在数字信号处理中具有重要的意义。

采用这种方法对相同的数据作仿真,可以从时序图看到商为 001000101010,即商 = 2⁻¹ + 2⁻⁵ + 2⁻⁷ + 2⁻⁹ = 0.541 0。而 13/24 = 0.541 7,结果正确。仿真时序见图 2。

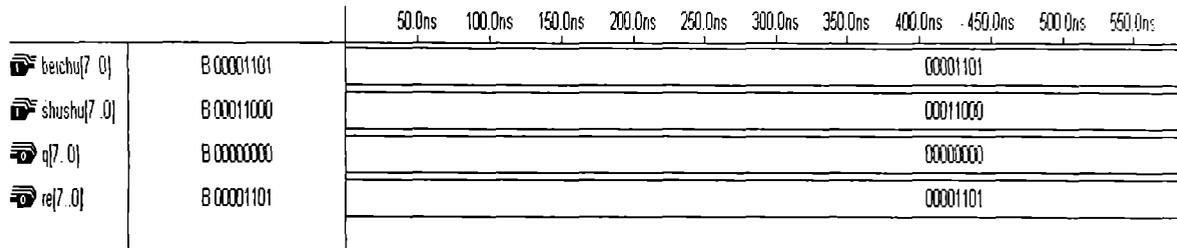


图 1 8 位除法运算仿真结果时序图

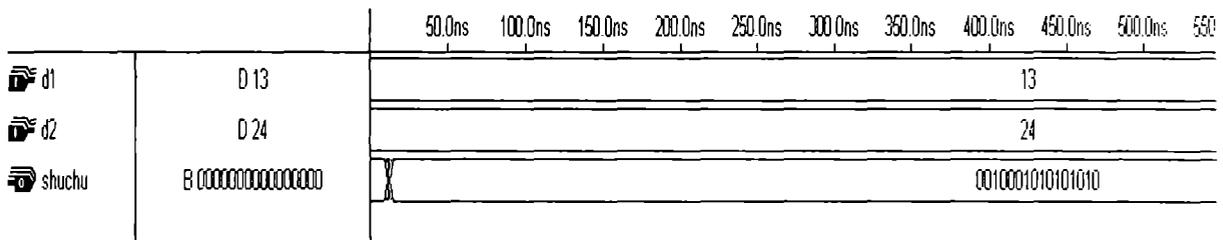


图 2 采用新算法的新除法器仿真时序图

此除法器可综合到 ACEX1K 器件的 EP1K30TC144 - 1 中,除法时间在几十纳秒数量级。

2 流水线问题及解决方法

在数字信号处理芯片设计时,经常遇到下式。

$$\frac{\sum_{n=1}^N (y_{n+1}y_n + y_{n+1}y_{n+2})}{\sum_{n=1}^N y_{n+1}^2} \tag{2}$$

即要完成类似卷积的很多乘法及累加,在实时性要求不高的情况下,为降低硬件资源消耗,可采用串行处理的方法。三路乘法各采用一个乘法器,乘法器后再用一个累加器来对乘法结果进行累加。图 3 给出了一路示意图(A 器件为触发器)。

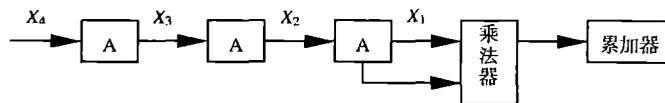


图 3 一路乘法示意图

乘法器可调用 MAX + plus II 自带的参数化模块库(LPM)中的 LPM_MULT 参数化乘法器。因需要处理的数据有正负,所以在乘法器的基础上又做了一定的改进,使它能处理负数,并且输出结果也能根据正负数进行原补码转换,方便后续部分完成累加,正负数直接以补码形式累加。部分原程序如下^[2]

```
always @ (posedge clkh)
```

```
lpm_mult mult1 (. result (s_q1), . dataa (d1_1), . datab (d2_1), . clock (clkh)); // . clock (clkh)
defparam mult1.lpm_widthA = 10;
defparam mult1.lpm_widthB = 10;
```

```

defparam mult1.lpm_widthp = 20;
defparam mult1.lpm_widths = 10;
defparam mult1.lpm_PIPELINE = 5;

```

...

该程序用一个一位寄存器来存储对两个数符号的判断,若是异号,就要进行原补码转换。但在乘法器实现时为了加快运算速度,应用了流水技术,乘法器的流水参数选为 5 级。结果是判断是否要进行原补码转换的寄存器输出与乘法器接过的输出不同步。导致仿真结果存在问题。

通过对输出结果分析,采用添加 5 个触发器,保证乘法器输出与符号判断同步。

```

...
always @(posedge clkh)
begin
    ha5 = ha4;
end
...
always @(posedge clkh)
begin
    ha1 = dou;
end
...
always @(posedge clkh)
begin
    ha2 = ha1;
end
...

```

数据仿真结果表明处理的正确性。流水线虽然增加器件资源的使用量,但它降低了寄存器的传播延迟,此项技术能有效的提高系统的运行速度。但在设计过程中应注意它带来的一些问题,使设计过程少走弯路。

3 结论

通过前面的分析和仿真,正确地解决了除法的快速实现,并实现了商的位数的控制。流水线问题的解决,不但有效的提高系统的运行速度,还使芯片的设计更加方便。

参考文献:

- [1] 宋万杰, 罗丰, 吴顺君, 等. CPLD 技术及其应用[M]. 西安:西安电子科技大学出版社,1999.
 [2] 张明. Verilog HDL 实用教程[M]. 成都:电子科技大学出版社,1999. (编辑:姚树峰)

Two Problems and Solutions in Emulation of CPLD about Signal - Processing Chip

YANG Bao - qiang¹, HE Wei², ZHAO Dong - ye²

(1. The Training Department of Air Force Engineering University, Xi'an, Shaanxi 710051, China; 2. The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: Aimed at the two problems met in CPLD Emulation, i. e. the effectuation of division device and the pipeline, this paper conducts a study on them, analyses the deviation caused by the conventional methods and provides the practical solutions through the improvement of the emulation procedure, thus increasing the real - time emulation rate.

Key words: signal - processing chip; CPLD; division; pipeline