

基于工艺波动的单粒子串扰效应研究

刘保军, 雍霄驹, 张爽, 陈名华

(空军工程大学航空机务士官学校, 河南信阳, 464000)

摘要 为了表征互连线结构参数工艺波动对单粒子串扰(SEC)的影响, 基于互连线的RLC等效模型和单粒子瞬态(SET)的等效电路, 设计正交试验, 利用极差分析和方差分析法, 确定了互连线结构参数工艺波动时SEC的极限工艺角, 并分析了技术节点、粒子能量、互连线长度对SEC极限工艺角的影响机理。结果表明, 在互连线耦合效应和脉冲传播特性的共同作用下, 45 nm技术节点以上, 互连线结构参数波动 $\pm 10\%$ 时, SEC的波动范围大于20%, 且相对变化量随着粒子能量的增加, 呈增大趋势, 但并没有随着互连线长度的增加而出现较大的差异。45 nm技术节点以下, 尽管SEC的电压峰值、噪声面积显著增加, 但互连线工艺波动对SEC的影响却呈减小趋势, 且随着互连线长度增加, SEC的波动呈增大趋势。

关键词 工艺波动; 单粒子瞬态(SET); 串扰效应; 极限工艺角

DOI 10.3969/j.issn.2097-1915.2025.03.010

中图分类号 TN47; TN432 **文献标志码** A **文章编号** 2097-1915(2025)03-0079-07

Research on Single Event Crosstalk with Process Variations of Interconnect Lines

LIU Baojun, YONG Xiaoju, ZHANG Shuang, CHEN Minghua

(Aviation Maintenance NCO School, Air Force Engineering University, Xinyang 464000, Henan, China)

Abstract To characterize the effect of process variation of interconnect lines on single event crosstalk (SEC), Based on the equivalent RLC model for the interconnect line and the equivalent circuit for single event transient (SET), the ultimate process corner parameters of single event crosstalk (SEC) consideration with the process variations of the line are achieved by analyzing extreme difference and variance on the results of the designed orthogonal experimental, and then the mechanism of the effects of technology node, ion energy, length of line on the ultimate process corner of SEC are also discussed. The results show that under condition of the combined effects of the coupling effects between the interconnect lines and the pulse propagation characteristics, and 45 nm above technology node, when the interconnect structure parameter fluctuates $\pm 10\%$, the variation range of SEC is greater than 20%, and the relative variation increases with the increase of the current amplitude. Whereas there is no significant difference with the increase of the interconnect length. Under condition of 45 nm below technology node, although the voltage peak and noise area of SEC increase significantly, there is a decrease in the influence of interconnect process fluctuation on SEC, and the fluctuation of SEC increases with the increase of interconnect length.

Key words process variations; single event transient (SET); crosstalk effect; ultimate process corner

收稿日期: 2024-10-14

基金项目: 国家自然科学基金(11975311, 11405270)

作者简介: 刘保军(1984—), 男, 山西灵丘人, 副教授, 博士, 研究方向为微纳电路与系统、战伤抢修。E-mail: liubaojun102519@sina.com

引用格式: 刘保军, 雍霄驹, 张爽, 等. 基于工艺波动的单粒子串扰效应研究[J]. 空军工程大学学报, 2025, 26(3): 79-85. LIU Baojun, YONG Xiaoju, ZHANG Shuang, et al. Research on Single Event Crosstalk with Process Variations of Interconnect Lines[J]. Journal of Air Force Engineering University, 2025, 26(3): 79-85.

空间辐射环境中的高能粒子入射半导体器件,诱发单粒子瞬态(single event transient, SET)^[1-2]效应。随着技术节点的不断缩减,互连线的线间距减小、厚宽比增加,使得串扰效应显著增强。因互连线串扰作用,导致 SET 脉冲扰动影响其他电气不相关路径的电路,发生单粒子串扰(single event crosstalk, SEC)^[3],进而增加电路的软错误率,威胁电路的可靠性。受制造和掩膜工艺的限制,互连线物理结构参数不可避免地偏离设计值,发生工艺波动,导致互连线的电学参数发生变化,使得 SEC 呈现更加复杂的不确定性^[4]。且器件特征尺寸的减小,导致互连线的工艺波动对串扰效应的影响更加显著^[5]。故在电路设计和分析中,均需要考虑互连线工艺波动对串扰效应的影响。

针对 SEC, Balasubramanian 等^[6]利用 90 nm 的单个和 2 个光子激光吸收技术,测试并证实了 SEC 的存在。Sayil 等^[7-8]提出了一种 SEC 预测模型,并分析了温度对 SEC 的影响。Liu 等^[9-11]构建了两线和多线互连系统的 SEC 解析模型,并分析了技术节点、互连线长度对 SEC 的影响。同时,对碳纳米材料互连线的 SEC 也开展了建模和分析研究^[3,5,12-15]。但关于工艺波动对 SEC 的影响研究,目前尚未见报道。对于工艺波动的影响研究,基于工艺角理论,分析了工艺波动对互连线传输时延的影响,统计了工艺波动下的串扰噪声^[4]。文献[16~17]分析了工艺波动对互连线传输信号的影响, Wang 等^[18]采用多项式混沌方法,解决互连线工艺波动的随机问题,张瑛等^[19]统计分析了随机工艺波动对时延的影响,郝志刚^[20]统计分析了工艺波动对互连线时延及信号完整性的影响,李鑫等^[21]建立了互连线随机扰动模型,对工艺波动下的耦合互连线串扰效应进行了评估。基于蒙特卡洛仿真方法,学者分析了工艺波动对碳纳米材料互连线串扰的影响^[5,14-15]。但所涉及的互连线的扰动均是由阶跃输入引起的,尚未考虑单粒子瞬态诱发的串扰,且在分析工艺波动对串扰效应的影响时,均采用单一因素分析方法。然而,实际的互连线工艺波动更可能是多个结构参数同时发生波动,对串扰的影响是多因素的耦合作用。

针对上述不足,本文基于极限工艺角理论,首次开展了互连线结构参数工艺波动对 SEC 的耦合影响研究,对设计空间辐射环境专用集成电路具有重要的意义。

1 单粒子串扰的极限工艺角

受制造和掩膜工艺的限制,化学机械抛光或光

刻时,可能造成互连线的厚度不均匀、线边缘粗糙或线宽度粗糙,使互连线结构参数偏离设计值,出现工艺波动。研究表明,在 45 nm 技术节点时,互连线的宽度和高度的波动率高达 35%^[20]。如何量化工工艺波动对互连线性能的影响,是串扰、时延及信号完整性分析研究需首要解决的问题。在电路系统中,可以用工艺角分析法^[4,22]来量化这种工艺波动对串扰的影响。

工艺角,指在保证芯片功能正确的基础上,所表现出来的参数波动的极端情况,包括最佳工艺角和最坏工艺角^[22]。对于串扰而言,将受扰线得到的串扰电压峰值和脉冲宽度最小时,所对应的工艺波动组合称之为最佳工艺角;相反,将其最大时所对应的组合,称之为最坏工艺角。

不失一般性,基于 SPICE,搭建反相器链电路,如图 1 所示,来确定工艺波动下 SEC 的极限工艺角条件。

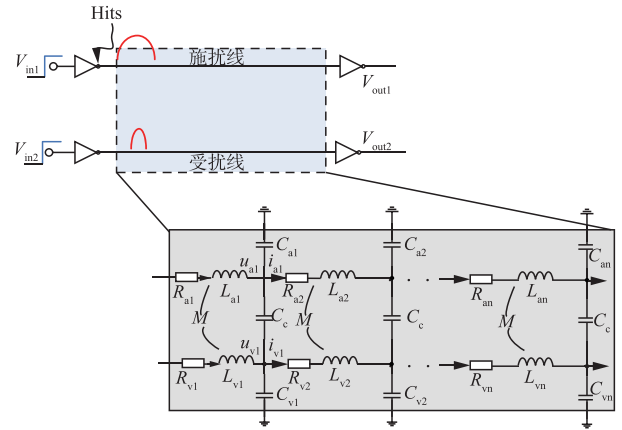


图 1 单粒子串扰及其等效电路

Fig. 1 Equivalent circuits of single event crosstalk

图 1 中,互连线采用 RLC 模型进行等效,参数表示为^[11]:

$$R = \frac{\rho l}{\omega t} \quad (1)$$

$$L = \frac{\mu l}{2\pi} \left[\ln \frac{2l}{\omega + t} + \frac{1}{2} + \frac{0.22(\omega + t)}{l} \right] \quad (2)$$

$$M = \frac{\mu l}{2\pi} \left[\ln \frac{2l}{s} - 1 + \frac{s}{l} \right] \quad (3)$$

$$C_c = \epsilon \left[1.14 \left(\frac{t}{s} \right) \left(\frac{h}{h + 2.06s} \right)^{0.09} + 0.74 \left(\frac{\omega}{\omega + 1.59s} \right)^{1.14} + 1.16 \left(\frac{\omega}{\omega + 1.87s} \right)^{0.16} \left(\frac{h}{h + 0.98s} \right)^{1.18} \right] \quad (4)$$

$$C_g = \epsilon \left[\frac{\omega}{h} + 2.22 \left(\frac{s}{s + 0.7h} \right)^{3.19} + 1.17 \left(\frac{s}{s + 1.51h} \right)^{0.76} \left(\frac{t}{t + 4.53h} \right)^{0.12} \right] \quad (5)$$

$$n \geq 10 \left(\frac{l}{t_r V} \right) \quad (6)$$

式中: ρ 为互连线的电阻率; l 、 ω 、 t 分别为互连线的

长度、宽度和厚度; s 为互连线间距; h 为互连线与地平面的距离; μ 为真空磁导率; ϵ 为介电常数; V 为电磁波在介质中的传播速度; t_r 为信号上升或下降时间。

高能粒子入射其中的一个反相器,产生瞬态脉冲,通过互连线的耦合效应,在另一条电学不相干的电路上产生串扰脉冲。其中,高能粒子入射产生瞬态脉冲的互连线,称为施扰线;由于耦合作用,产生串扰脉冲的互连线,称为受扰线。

通常,高能粒子入射端采用注入双指数电流源的方式模拟^[3,12,23],见式(7):

$$I(t) = \frac{Q_{\text{dep}}}{\tau_\alpha - \tau_\beta} (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (7)$$

式中: Q_{dep} 为粒子入射的累积电荷量,与粒子的 LET 成正比关系; τ_α 是 p-n 结的电荷收集时间常数; τ_β 是粒子轨迹初始建立的时间常数。这里 τ_α 和 τ_β 分别设置为 250 ps 和 10 ps。

为了确定 SEC 的极限工艺角,这里采用极差分析和方差分析相结合的方式实施。极差分析法,通过计算不同因素各水平下的最大最小差值,排序来判断各因素的影响情况。但无法将由于试验条件的改变引起的数据波动同试验误差引起的数据波动区分开来。为了弥补此不足,需对试验结果进行方差分析,得到不同因素作用下的均方和等,从而判断其影响显著性。基于 SEC 的等效电路,针对互连线的宽度、厚度、间距和与地面的距离 4 个参数,设置 3 个工艺波动水平:−10%、0、10%,采用 $L_9(3^4)$ 正交表,设计正交试验,利用极差分析和方差分析法,确定了 SEC 的极限工艺角,如表 1 所示。

表 1 工艺波动下互连线寄生电学参数及 SEC 的极限工艺角
Tab. 1 Limit process corners of parasitic electrical parameters of interconnects and SEC with process fluctuations

参数	w	t	s	h
R -min	max	max		
R -max	min	min		
L -min	max	max		
L -max	min	min		
C_g -min	min	min	min	max
C_g -max	max	max	max	min
C_c -min	min	min	max	min
C_c -max	max	max	min	max
M/L -min	min	min	max	
M/L -max	max	max	min	
SEC 最坏工艺角	min	max	min	max
SEC 最佳工艺角	max	min	max	min

2 工艺波动下的 SEC 极限工艺角

基于 SEC 的极限工艺角条件,从电压峰值、噪

声面积 2 个方面,分析技术节点、粒子能量、互连线长度等对 SEC 的影响,进而得到不同条件下的 SEC 的最佳、最坏工艺角,为辐射环境中集成电路的设计提供技术支持。

互连线类型是全局型,相关参数设置参考 ITRS-2013^[24],其结构参数的相对波动范围:±10%,互连线的等效 RLC 模型的段数 n 为 30,高能粒子的累积电荷量为 24 fC,负载电容为 0.5 fF。反相器采用 PMOS 和 NMOS 串联结构,在 SET 脉冲传播研究中,通常 PMOS 和 NMOS 的宽长比分别为 4:1、2:1^[25]。SEC 最佳工艺角表示为“Best-case”,最坏工艺角表示为“Worst-case”,无工艺波动的表示为“Ideal-case”。

2.1 技术节点

互连线的长度为 1 000 μm ,高能粒子的累积电荷量为 48 fC,技术节点包括:90 nm、65 nm、45 nm、32 nm、22 nm 和 16 nm,得到 SEC 结果如图 2 所示。

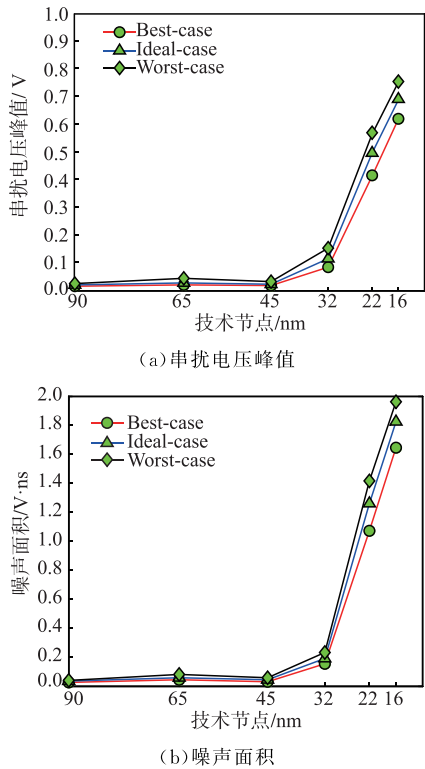


图 2 不同技术节点的 SEC

Fig. 2 SEC at different technology node

由图可知,随着技术节点的不断缩减,SEC 的电压峰值、噪声面积呈增加趋势。在 45 nm 技术节点之前,SEC 变化并不太显著,但技术节点小于 45 nm 后,SEC 大幅度增加。尽管 SEC 随着技术节点的缩减,显著增强,但是互连线工艺波动对 SEC 的影响却呈减小趋势。比如,与无波动情况相比,最佳工艺角条件下的电压峰值,在 90 nm 技术节点的相对变化量为 −20.40%,而 16 nm 技术节点的相对变化量仅为 −10.75%,与互连线工艺波动范围相

当。最坏工艺角也呈现类似的变化趋势。其原因可能是互连线耦合电容和接地电容随着技术节点减小而增大造成的。研究表明,SEC 的峰值电压和脉冲宽度与互连线的耦合电容和接地电容呈正相关变化趋势^[3],随着技术节点缩小,特别是进入 45 nm 之后,互连线的耦合电容和接地电容显著增加,且电源电压减小,进而导致 SEC 的峰值电压及噪声面积明显增加。在 45 nm 以下,尽管互连线工艺波动也会引起 SEC 出现差异,但由于理想值较大,其相对变化量要小于 45 nm 之上的。

因此,互连线结构的工艺波动,对大尺寸技术节点电路的 SEC 会产生较为显著的影响,而对小尺寸,特别是小于 45 nm 的技术节点,工艺波动对 SEC 的影响相对较弱。所以,尽管技术节点的缩减会提高器件的性能,但同时也会带来更加显著的串扰噪声,在小尺寸集成电路的布线设计中,要重点考虑串扰效应。

2.2 粒子能量

对 45 nm 技术节点,互连线的长度为 1 000 μm ,高能粒子的累积电荷量的变化范围为 24~240 fC,得到 SEC,如图 3 所示。

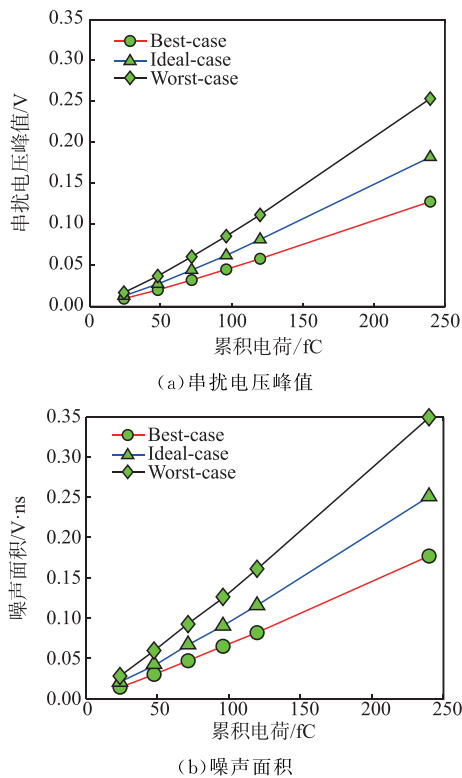


图 3 累积电荷量对 SEC 的影响

Fig. 3 Effect of deposited charge on SEC

由图 3 可知,随着粒子累积电荷量的增加,SEC 增大且互连线工艺波动,对 SEC 的影响愈加显著。同时,最坏工艺角的增长率,要高于最佳工艺角和无波动的。当累积电荷量为 24 fC 时,相对于无波动情况,最佳、最坏工艺角的电压峰值相对变化量分别

为: -26.49%、34.45%; 它们的噪声面积相对变化量分别为: -28.82%、36.93%。当累积电荷量为 240 fC 时,相对于无波动情况,最佳、最坏工艺角的电压峰值相对变化量分别为: -29.76%、39.33%; 它们的噪声面积相对变化量分别为: -29.49%、38.99%。其原因是在互连线结构参数一定时,粒子累积电荷量增加会使得注入的双指数电流源幅值增大,导致产生的瞬态脉冲增大,故 SEC 增加。而互连线的工艺波动,会使互连线的寄生电阻、接地电容、耦合电容出现明显波动,从而使 SEC 出现较为显著的波动。

因此,虽然互连线结构参数波动范围在 $\pm 10\%$,但 SEC 相对变化范围却大于 20%,且相对变化量随着粒子累积电荷量的增加呈增大趋势。当累积电荷从 24 fC 增加到 240 fC 时,最佳、无波动和最坏工艺角的 SEC 电压峰值分别相对增加 12.93 倍、13.66 倍、14.14 倍; 噪声面积分别相对增加 11.32 倍、11.46 倍、11.62 倍。所以,最坏工艺角条件下,SEC 相对增加更快。故在电路设计制造中,应合理控制互连线参数,减小最坏工艺角发生概率,进而减弱串扰效应的影响。

2.3 互连线长度

设置互连线长度变化范围: 100~1 500 μm , 粒子累积电荷量为 48 fC, 对 22 nm 和 16 nm 不同技术节点的 SEC 进行分析, 如图 4 和图 5 所示。

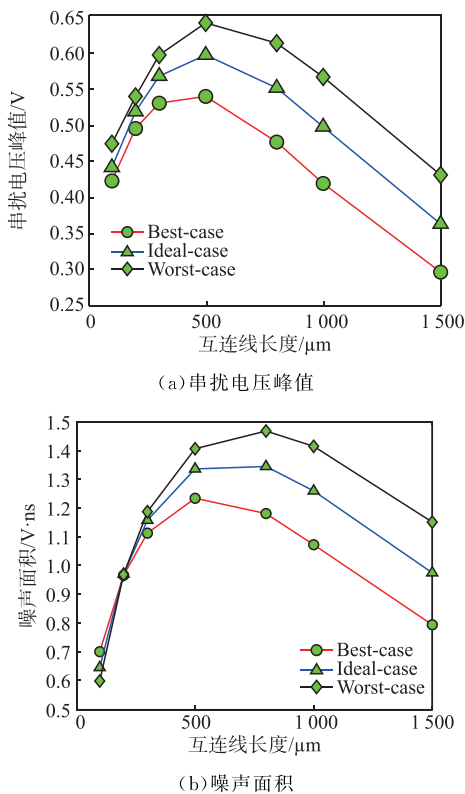


图 4 22 nm 技术节点下互连线长度对 SEC 的影响

Fig. 4 Effect of interconnect line on SEC at 22 nm technology node

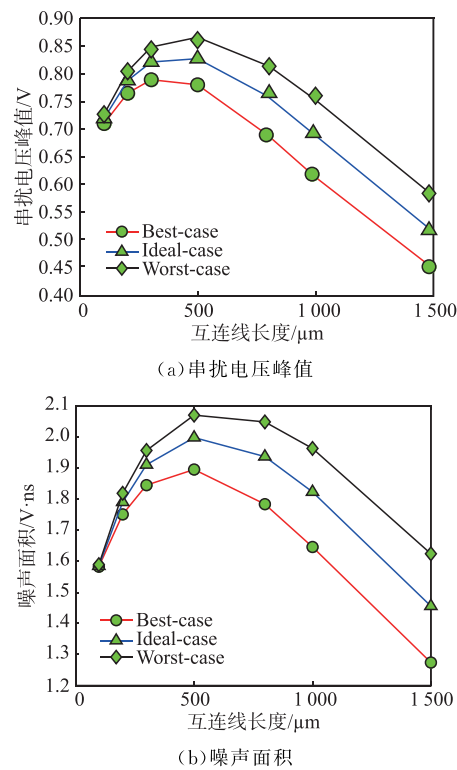


图 5 16 nm 技术节点下互连线长度对 SEC 的影响
Fig. 5 Effect of interconnect line on SEC at 16 nm technology node

可见,随着互连线长度的增加,SEC 的电压峰值和噪声面积,均呈先增后减的变化趋势。其原因是在 22 nm 和 16 nm 技术节点中,耦合电容要大于寄生电容,串扰效应更强,同时互连线的寄生电阻更大,与驱动端的基本相当,甚至会大于驱动端的^[11]。因此,寄生电阻较小时,串扰作用较强,导致串扰脉冲增强;随着寄生电阻不断增加,对传播的 SET 脉冲的抑制作用增强,减弱了施扰线上脉冲的传播,使得受扰线上诱发的串扰脉冲减弱。

为了便于对比不同技术节点下,互连线长度变化时,工艺波动对 SEC 的影响情况,对 45 nm、32 nm、22 nm 和 16 nm 技术节点的 SEC 进行了比较,结果如表 2 所示。表中,Worst-case 变化幅值、Best-case 变化幅值,分别表示最坏工艺角、最佳工艺角对应的最大变化量与最小变化量的差值。

由表 2 可见,随着技术节点的缩减,SEC 呈显著增加趋势。当技术节点从 45 nm 缩减到 16 nm 时,SEC 电压峰值的平均值由 0.04 增到 0.73,突变约 20 倍。由互连线工艺波动引起的 SEC 变化幅值,随着技术节点的缩减,在 32 nm 技术节点时突变增加,并呈保持趋势。因此,在 45 nm 技术节点以上,互连线的工艺波动会引起串扰(包括电压峰值、噪声面积)并出现较大的波动,但这种波动,并没有随着互连线长度增加而出现较大的差异;但是,在 32 nm 技术节点以下,尽管互连线的工艺波动引起

串扰出现的波动较小,但这种波动会随着互连线长度的变化发生较大的改变。

表 2 不同技术节点下,SEC 随工艺波动的变化情况
Tab. 2 Variation of SEC with process fluctuations at different technology nodes

技术节点/nm		45	32	22	16
电压峰值	平均值/V	0.04	0.13	0.50	0.73
	Worst-case 变化幅值/%	3.48	13.33	12.00	11.37
	Best-case 变化幅值/%	2.27	7.97	14.92	11.96
	平均值(V·ns)	0.05	0.17	1.10	1.79
噪声面积	Worst-case 变化幅值/%	8.04	10.18	25.55	11.32
	Best-case 变化幅值/%	5.69	8.22	27.04	12.37

2.4 统计分析

假设互连线的 4 个结构参数相互独立,随机发生波动,且波动范围为 $\pm 10\%$,技术节点 45 nm,互连线长度 1 000 μm ,粒子的累积电荷量为 48 fC,事件数 1 000,得到的 SEC 统计结果如图 6 所示,其中的竖线表示无波动时的 SEC。

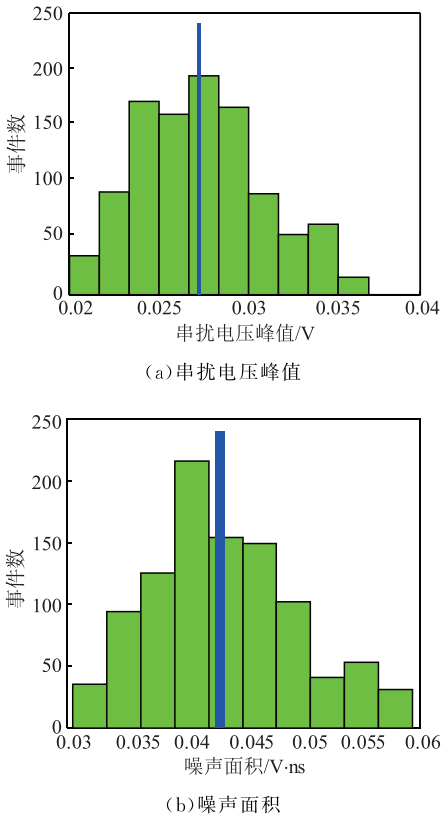


图 6 互连线结构参数随机波动的 SEC 统计结果
Fig. 6 Statistical results of SEC with random fluctuations in interconnect structure parameters

可见,工艺的随机波动,引起 SEC 的电压峰值、噪声面积均近似服从正态分布。与无波动相比,串扰电压峰值、噪声面积的相对波动范围分别为: $-27.01\% \sim 35.28\%$ 、 $-28.98\% \sim 37.90\%$,它们的平均值分别为: $0.027\ 6\ \text{V}$ 、 $0.043\ 34\ \text{V} \cdot \text{ns}$ 。

表 3 对统计结果进行了分析,给出了 SEC 不同变化范围的占比情况。

表 3 SEC 相对波动范围的统计结果

Tab. 3 Statistical results of relative fluctuation range of SEC			%
变化范围	串扰电压峰值/V	噪声面积/V · ns	
$\leq \pm 5$	28.0	26.6	
$\leq \pm 10$	55.8	50.5	
$\geq \pm 20$	13.4	15.7	

由表可见,当互连线结构参数出现 $\pm 10\%$ 的工艺波动时,串扰电压峰值和噪声面积有 30% 左右出现的波动在 5% 以内, 50% 的波动在 10% 以内。表明,互连线工艺波动会引起 SEC 出现相当变化范围的概率约 50% 。同时,有约 15% 的波动会大于 20% ,意味着,尽管互连线的工艺波动仅 10% ,但仍有一定的概率引起 SEC 出现较大的波动。故在电路设计阶段,互连线的工艺波动应引起足够的重视。

3 结语

器件特征尺寸进入超深亚微米之后,受制造工艺和掩膜技术的限制,互连线出现工艺波动在所难免。而互连线的工艺波动,会对电路的性能及单粒子串扰效应产生显著影响。因此,互连线工艺波动对电路性能的影响,是在电路设计分析阶段是必须要考虑的。

对互连线结构参数工艺波动下,单粒子串扰的极限工艺角进行了分析研究。表明,互连线结构参数发生工艺波动时,入射粒子累积电荷量增加,会带来更大波动的 SEC;技术节点的缩减,尽管导致的串扰变化范围减小,但互连线长度的增加,会使得 SEC 的波动呈显著增加趋势。虽然在 $32\ \text{nm}$ 以下技术节点,增加互连线长度会使得串扰有所减弱,但互连线工艺波动则会引起 SEC 较大浮动。互连线结构参数随机波动下的 SEC 统计结果表明,尽管互连线的工艺波动范围在 10% 以内,但仍有一定的概率引起 SEC 出现较大波动。因此,在集成电路设计和分析中,要合理设计互连线布局,同时要兼顾工艺波动的影响。

参考文献

[1] ARTOLA L,GAILLARDIN M,HUBERT G,et al. Modeling Single Event Transients in Advanced Devices and ICs[J]. IEEE Transactions on Nuclear Science,2015,62(4):1528-1539.

[2] 陈伟,杨海亮,郭晓强,等. 空间辐射物理及应用研究现状与挑战[J]. 科学通报,2017,62(10):978-989.

CHEN W,YANG H L,GUO X Q,et al. The Research Status and Challenge of Space Radiation Physics and Application[J]. Chinese Science Bulletin, 2017,62(10):978-989. (in Chinese)

[3] 刘保军,张爽,李成. 碳纳米材料互连线的单粒子串扰特性研究[J]. 电子学报,2023,51(6):1637-1643.

LIU B J,ZHANG S,LI C. Reseach on Single Event Crosstalk Characteristic of Carbon Nanomaterial Interconnects[J]. Acta Electronica Sinica,2023,51(6): 1637-1643. (in Chinese)

[4] 王海英,王辰伟,刘玉岭,等. 铜互连阻挡层化学机械抛光时互连线厚度的控制[J]. 电镀与涂饰,2023,42 (15):57-64.

WANG H Y,WANG C W,LIU Y L,et al. Control of Thickness of Interconnect Line during Chemical Mechanical Polishing of Barrier Layer on Copper Interconnect [J]. Electroplating & Finishing, 2023, 42 (15):57-64. (in Chinese)

[5] GHARAVI HAMEDANI S,MOAIYERI M H. Im-pacts of Process and Temperature Variations on the Crosstalk Effects in Sub-10 nm Multilayer Graphene Nanoribbon Interconnects[J]. IEEE Transactions on Device and Materials Reliability, 2019, 19 (4): 630-641.

[6] BALASUBRAMANIAN A,AMUSAN O A,BHU-VA B L,et al. Measurement and Analysis of Inter-connect Crosstalk Due to Single Events in a 90 nm CMOS Technology[J]. IEEE Transactions on Nucle-ar Science,2008,55(4):2079-2084.

[7] SAYIL S,BOORLA V K,YEDDULA S R. Modeling Single Event Crosstalk in Nanometer Technologies [J]. IEEE Transactions on Nuclear Science,2011,58 (5):2493-2502.

[8] SAYIL S,BHOWMIK P. Mitigating the Thermally Induced Single Event Crosstalk[J]. Analog Integrated Circuits and Signal Processing,2017,92(2):247-253.

[9] LIU B J,CAI L,ZHU J. Accurate Analytical Model for Single Event (SE) Crosstalk[J]. IEEE Transac-tions on Nuclear Science,2012,59(4):1621-1627.

[10] LIU B J,WEI B,ZHANG S,et al. Modeling and A-nalysis of Single Event Crosstalk in Multi-Lines Sys-tem [C]//2019 IEEE 4th Advanced Information

- Technology, Electronic and Automation Control Conference (IAEAC). Chengdu: IEEE, 2019: 1928-1932.
- [11] LIU B J, CAI L, LIU X Q. An Analytic Model for Predicting Single Event (SE) Crosstalk of Nanometer CMOS Circuits [J]. Journal of Electronic Testing, 2020, 36(4): 461-467.
- [12] LIU B J, LI C, LI C, et al. Effect of Temperature and Single Event Transient on Crosstalk in Coupled Single-Walled Carbon Nanotube (SWCNT) Bundle Interconnects [J]. International Journal of Circuit Theory and Applications, 2021, 49(10): 3408-3420.
- [13] TAN Y M, PAN Z L. Transient Analysis of MLG NR Interconnects with Single Event (SE) Crosstalk Induced Effects Based on FDTD Model [C]//2022 IEEE 6th Advanced Information Technology, Electronic and Automation Control Conference (IAEAC). Beijing: IEEE, 2022: 1819-1823.
- [14] KHEZELI M R, JALALI A, MOAIYERI M H. On the Impacts of Process and Temperature Variations on the Crosstalk Effects in MWCNT Bundle Nanointerconnects in Ternary Logic [J]. IEEE Transactions on Nanotechnology, 2018, 17(2): 238-249.
- [15] SUN P, LUO R. Analytical Modeling for Crosstalk Noise Induced by Process Variations among CNT-Based Interconnects [C]//2009 IEEE International Symposium on Electromagnetic Compatibility. Austin, TX: IEEE, 2009: 103-107.
- [16] ZOU F, PAN Z L, XU P. Modeling and Performance Analysis of Coupled Multilayer Graphene Nanoribbon (MLG NR) Interconnects with Intercalation Doping [J]. Microelectronics Journal, 2023, 141: 105971.
- [17] SIDHU R, RAI M K. Transient Analysis in Doped MLG NR for Subthreshold Interconnects under Process-Induced Physical and Geometrical Parameters [J]. Journal of Computational Electronics, 2023, 22(1): 581-595.
- [18] WANG J, GHANTA P, VRUDHULA S. Stochastic Analysis of Interconnect Performance in the Presence of Process Variations [C]//IEEE/ACM International Conference on Computer Aided Design, 2004. ICCAD-2004. San Jose, CA: IEEE, 2004: 880-886.
- [19] 张瑛, WANG J M. 工艺变化下互连线分布参数随机建模与延迟分析 [J]. 电路与系统学报, 2009, 14(4): 79-86.
- ZHANG Y, WANG J M. Stochastic Modeling of Distributed Parameters and Analysis of Interconnect Delay in the Presence of Process Variations [J]. Journal of Circuits and Systems, 2009, 14(4): 79-86. (in Chinese)
- [20] 郝志刚. 工艺参数变化情况下纳米尺寸混合信号集成电路性能分析设计自动化方法研究 [D]. 上海: 上海交通大学, 2012.
- HAO Z G. Computer-Aided Design Methods for Variational Analysis of Nanoscale Mixed-Signal Integrated Circuits [D]. Shanghai: Shanghai Jiao Tong University, 2012. (in Chinese)
- [21] 李鑫, WANG J M, 唐卫清, 等. 基于工艺随机扰动的非均匀 RLC 互连线串扰分析 [J]. 系统仿真学报, 2008, 20(7): 1876-1879, 1933.
- LI X, WANG J M, TANG W Q, et al. Presence of Stochastic Process Variations Based Analysis of Crosstalk of Non-Uniform RLC Interconnects [J]. Journal of System Simulation, 2008, 20(7): 1876-1879, 1933. (in Chinese)
- [22] 李达维, 秦军瑞, 陈书明. 25 nm 鱼鳍型场效应晶体管中单粒子瞬态的工艺参数相关性 [J]. 国防科技大学学报, 2012, 34(5): 127-131.
- LI D W, QIN J R, CHEN S M. The Dependence of Process Parameters on Single Event Transient in 25 nm FinFET [J]. Journal of National University of Defense Technology, 2012, 34(5): 127-131. (in Chinese)
- [23] 蔡理, 杨晓阔, 杨建军, 等. 临近空间单粒子效应的数值模型和电路模拟 [J]. 空军工程大学学报(自然科学版), 2011, 12(2): 76-80.
- CAI L, YANG X K, YANG J J, et al. Numerical and Circuit Simulations of Single Event Effects in near Space [J]. Journal of Air Force Engineering University (Natural Science Edition), 2011, 12(2): 76-80. (in Chinese)
- [24] Semiconductor Industry Association. International Technology Roadmap for Semiconductors (ITRS) 2013 Edition [EB/OL]. (2013-08-21) [2024-09-16]. https://www.semiconductors.org/resources/2013-international-technology-roadmap-for-semiconductors-itsr/?_refluxos=a10
- [25] LIU B J, CAI L, LI C. An Analytical Model for Deposited Charge of Single Event Transient (SET) in FinFET [J]. Journal of Electronic Testing, 2024, 40(2): 159-169.

(编辑: 韩茜)