

基于电容充放电的混合型数字脉宽调制器

华伟民, 白 鹏, 蒋 金

(空军工程大学理学院,西安,710051)

摘要 数字脉宽调制器是数字开关电源的核心模块之一,其高线性度是衡量数字脉宽调制器的重要标准,也是设计中的一大难点。为了提高数字脉宽调制器的线性度,提出了一种基于电容多次充放电的带校准功能的混合型结构,并详细论述了该混合型结构的工作机制。在系统时钟为 32 MHz 时,实现了开关频率为 1 MHz,分辨率为 10 bit 的数字脉宽调制器。对电路进行各个模块设计,基于 SMIC 180 nm 工艺做后仿真,并与基于计数器和延迟线的混合型数字脉宽调制器的线性度进行对比,结果表明,基于电容充放电的带校准功能的混合型结构线性度有所提高,差分非线性是 0.125 LSB。

关键词 数字电源;数字脉宽调制器;延迟线

DOI 10.3969/j.issn.1009-3516.2015.06.015

中图分类号 TP391.9 **文献标志码** A **文章编号** 1009-3516(2015)06-0069-05

A Hybrid Digital Pulse Width Modulator Based on Capacitor Charge and Discharge

HUA Weimin, BAI Peng, JIANG Jin

(Science College, Air Force Engineering University, Xi'an 710051, China)

Abstract: The digital pulse width modulator is one of the core modules in the digital switching power supply, its linearity is an important criterion to measure the digital pulse width modulator, and, of course, is also a major problem. In order to improve the linearity of the digital pulse width modulator, the paper proposes a calibration function of hybrid structure based on the times of capacitor charge and discharge, and discusses the working mechanism of the hybrid structure in detail. When system clock is 32 MHz, the digital pulse width modulator is realized that switching frequency is 1 MHz and resolution ratio is 10bits. The design for each module circuit is based on SMIC 180 nm technology to do post-simulation, compared to linearity of hybrid digital pulse width modulator based on counter and the delay line structure. The results show that the linearity based on capacitor charge and discharge with the digital pulse width modulator with calibration function is improved, and DNL is 0.125 LSB.

Key words: digital power supply; DPWM; delay line

目前,用于电源控制的方法主要有模拟控制和数字控制,且多数是用脉宽调制技术实现^[1-4]。相对

于模拟控制而言,数字控制的方式具有明显的优点,灵活性和抗干扰能力较强,且较容易实现更高的精

收稿日期:2015-04-23

基金项目:陕西省科学技术研究发展计划资助项目(2011K06-115)

作者简介:华伟民(1990-),男,安徽安庆人,硕士生,主要从事电路与系统研究.E-mail:warwime@126.com

引用格式: 华伟民,白鹏,蒋金. 基于电容充放电的混合型数字脉宽调制器[J]. 空军工程大学学报:自然科学版,2015,16(6):69-73. HUA Weimin, BAI Peng, JIANG jin. A Hybrid Digital Pulse Width Modulator Based on Capacitor Charge and Discharge[J]. Journal of Air Force Engineering University: Natural Science Edition, 2015, 16(6): 69-73.

度。数字控制方式的实现主要包括 3 个模块,分别是数模转换器(ADC),数字比例-积分-微分器(DPID)和数字脉宽调制器(Digital Pulse Width Modulator, DPWM)模块。DPWM 模块的实现受到 2 方面因素的制约:一是为了消除极限环现象^[5], DPWM 的分辨率必须要高于 ADC 的精度^[6];二是 DPWM 的分辨率与系统时钟的频率成反比例关系。因此,在较低系统时钟频率时,实现较高的 DPWM 分辨率是实现低功耗、高输出电压精度的一大难点。

在实现 DPWM 时,已经有学者提出了多种方案。基于延迟线的结构^[7],实现较简单,但是易受到制造工艺和环境的影响从而线性度不高。混合型结构^[8]是基于计数器结构和延迟线结构的一种折衷方案,线性度有所提高且对系统时钟的要求有所降低,但是仍然无法满足日益增加的对线性度和系统时钟要求的实际需求。基于数字抖动的结构^[9],虽然可以降低对系统时钟的要求,但是以牺牲动态响应速度为代价,会影响动态调节电压的速度;基于 Σ - ∇ 算法的结构^[10-11]也是以牺牲动态响应速度为代价的。基于二分校准算法的 DPWM 结构^[12],要对每个延迟单元进行校准,因为是分多个阶段的两两校准,每个阶段的校准会存在一定的误差,多个阶段的误差积累可能会超出可接受的误差范围,从而降低了线性度,且实现起来较复杂。

基于以上各种方案的分析,本文提出了一种基于电容多次充放电的带校准功能的混合型 DPWM 结构。因为只需要对一个电容进行校准,所以校准和实现过程要简单得多;而且因为是对同一个或者校准后的同一组电容进行反复充放电,所以每次充放电的时间偏差会非常小,因此线性度会很高,可以满足系统时钟为 32 MHz、开关频率为 1 MHz、分辨率为 10 bit 的要求。

1 数字控制的 DC/DC 结构

DC/DC 变换器的典型结构^[13]见图 1。首先,模数转换器 ADC 把连续的输出电压 V_{out} 转换成离散值 e ;其次,经过 DPID 把离散值 e 转换成可用于占空比调节的 d ;然后,经过 DPWM 把 d 转换成占空比波形;最后,占空比波形输入到功率级电路控制开关管的导通和截止,从而实现对输出电压的反馈调节。例如,当 nmos 管导通、pmos 管截止时,电源 V_{in} 接通功率级电路并产生输出电压 V_{out} ,同时,储能器件电感 L 和电容 C 储存能量;当 nmos 管截止、pmos 管导通时,储能器件 L 和 C 放电从而维持输出电压的稳定。

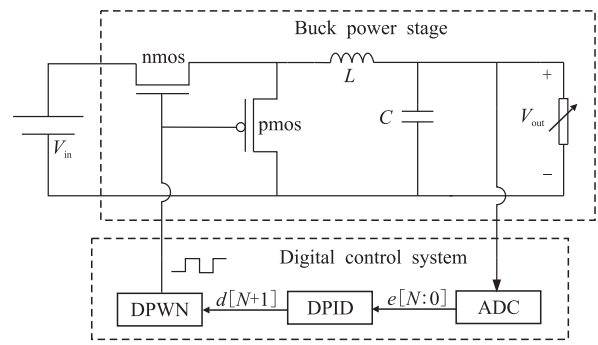


图 1 数字控制 Buck 电路

Fig.1 Buck circuit of digital control

2 基于电容充放电的 DPWM 的原理

2.1 总体结构划分

图 2 是本文提出的基于电容充放电的带校准功能的混合型 DPWM 结构的总体示意图。分辨率为 10 bit,其中高 5 bit 由系统时钟计数实现,低 5 bit 由电容充放电实现。图中所有信号都是高电平有效。系统时钟 clk_{32m} 和校准使能信号取反且逻辑与操作之后再输出,相当于一个门控时钟。gen_cali_clk 模块,当进入校准模式时,该模块在系统时钟的某一个上升沿会产生一个单周期开始的标志信号 start_per,在这个单周期结束时会产生结束信号 stop_per。high-bit counter-comparator 模块,这是一个计数器模块,用于 DPWM 的输入数值的高 5 位 $d[9:5]$ 的计数和比较,计数时钟是系统时钟 clk_{32m} ;若计数值小于 $d[9:5]$,则输出 cnt_notfull 为高电平, start_set 为低电平;若计数值等于 $d[9:5]$,则计数器停止计数,且输出 cnt_notfull 为低电平, start_set 为高电平。low-bit counter-comparator 模块,当用于 DPWM 的输入数值的低 5 位 $d[4:0]$ 的计数和比较时,计数周期是电容充放电一次的时间,若计数值小于 $d[4:0]$,则输出充放电结束信号 full_n 为高电平,反之,则输出低电平;当用于校准模式下时,计数满 32 次则输出充放电停止信号 full_cali 为高电平;数字鉴相鉴频器(Digital Phase Frequency Detector, PFD)模块,用于校准模式,鉴别系统时钟的一个单周期结束信号和电容充放电 32 次结束信号的相位差,并产生超前或者滞后信号标志 updw; cnt_series/cnt_parallel 模块,用于校准模式,根据 updw 信号来选择 cnt_series 或者 cnt_parallel 计数器自加,计数值对应的是串联或者并联电容的选通。fail_cali 模块,是一个计数器模块,当校准调节多次之后仍然无法校准成功,会产生一个 fail 信号中断校准,防止电路进入死循环。charge_and_cali 模块,用于电容充放电时间的校准; stop_detector 模块,用于判断校准是否成功。

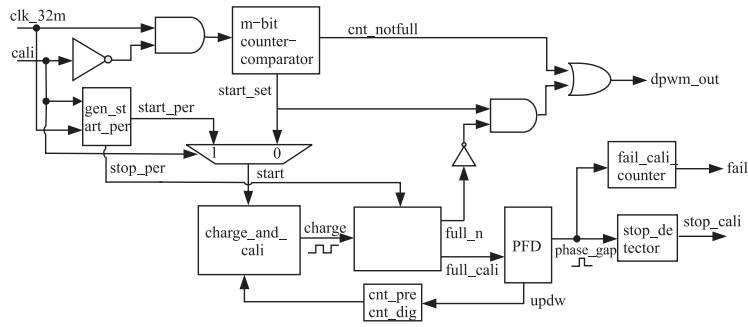


图 2 混合型 DPWM

Fig.2 Hybrid DPWM

2.2 数字鉴相鉴频器 PFD

图 3 是数字鉴相鉴频器和停止信号检测器的结构图。stop_per 和 full_cali 分别是系统时钟计数 1 个时钟周期结束而产生的信号和电容充放电 32 次结束而产生的信号, stop_per 作为 DFF0 的时钟输入端, full_cali 作为 DFF1 的时钟输入端。2 个触发器的 D 端分别置高电平, 当 DFF0 被 stop_per 的上升沿触发后, Q₀ 端输出 stop_per_r 为高电平; 当 DFF1 被 full_cali 的上升沿触发后, Q₁ 端输出 full_cali_r 为高电平。触发器 DFF2 是鉴别输入信号 stop_per 和 full_cali 相互之间超前或者滞后的, 例如, 若 updw 为高电平, 则 full_cali_r 滞后 stop_per_r; stop_per_r 和 full_cali_r 连接到 1 个两输入与非门的输入端, 并经过 1 个延迟单元最终连接到 DFF0 和 DFF1 的清零端。同时, Q₀ 和 Q₁ 连接到 1 个两输入的异或门, 产生 1 个相位差信号 phase_gap, 然后输入到停止校准信号检测器。

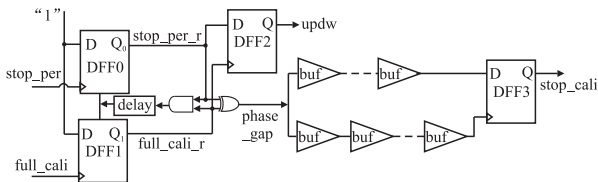


图 3 数字鉴相鉴频器

Fig.3 Digital phase frequency detector

2.3 停止信号检测器

主要由 1 个触发器 DFF3 和上下两级 buf 电路组成, 且两级 buf 电路的 buf 数必须不同, 这是为了以上下两级 buf 的时间差来规定 1 个误差范围从而判断校准是否成功。例如, 当上面一级 buf 电路的 buf 数是 k_1 , 下面一级 buf 电路的 buf 数是 k_2 , 且 $k_2 > k_1$, 那么 phase_gap 脉冲信号经过上下两级 buf 电路之后, p_2 脉冲信号和 p_1 脉冲信号会有 $(k_2 - k_1)$ 个 buf 延迟的时间差。用 p_2 的上升沿去采上面一级 buf 电路的信号, 若采到的信号是低电平 0, 则说明 phase_gap 脉冲信号的脉宽小于 $(k_2 - k_1)$ 个 buf 延迟, 即校准达到了目的; 若采到的是高电平 1,

则说明 phase_gap 脉冲信号的脉宽大于 2 个 buf 延迟, 需要继续校准。所以根据设置上下 buf 数可以调节校准的范围, 上下两级 buf 数相差越大, 校准调节的精度就越低; 上下两级 buf 数相差越小, 校准调节的精度就越高, 但不是 buf 数差值越小越好, 这还要受到停止信号信号检测器的检测精度的限制, 即触发器触发所要求的最小脉宽条件, 本文采用的主从触发器需要的最小触发脉冲保持时间是 150 ps。

2.4 充放电和校准模块

图 4 是电容充放电和电容调整模块的结构图, 它是本文重点讨论的内容, 与数字鉴相鉴频器和停止信号检测器一起组成校准功能。校准的目的是保证系统时钟 clk_32m 的 1 个时钟周期尽量与 32 次电容充放电的时间接近, 且误差控制在允许的范围内, 从而确保整个 DPWM 输出的精度达到设计要求。图 4 中 C_p 是基准电容, 由于制造工艺和环境等因素的影响会使得电容的值出现小范围的波动, 一般误差范围在 10%~20%, 从而使得电容冲放电的时间出现小范围的波动, 为了使这种波动造成的误差减小到可以接受的范围, 给基准电容提供多个可串联的大电容和可并联的小电容, 串联或者并联以及串联或者并联的数量根据计数器 cnt_lag 和 cnt_pre 来选择。查找表 lookup 根据计数器对应位来打开串联或者并联开关管。以图 4 中所示的分别并联和串联 2 个可选电容为例, 其中 C_2 和 C_3 是可选串联电容, C_0 和 C_1 是可选并联电容, se_1 和 se_2 分别控制 2 个开关管来连接串联电容 C_2 和 C_3 , pa_0 和 pa_1 也分别控制 2 个开关管来连接串联电容 C_0 和 C_1 , 当 cnt_lag=0010 时, 则打开 2 组开关管 pa_0 和 pa_1 , 并联 C_0 和 C_1 。

isc 是恒流源, 给电容充电, 当 C_p 电压升高到参考电压的高阈值 V_{ref1} 时, 施密特触发器输出高电平, 且反馈到开关管 S 使其导通从而给电容放电, 当 C_p 电压降到参考电压的低阈值 V_{ref2} 时, 施密特触发器输出低电平, 且反馈到开关管 S 使其截止从而使得电容充电, 如此反复, 实现电容多次充放电,

且施密特触发器输出的是1个脉冲波形。

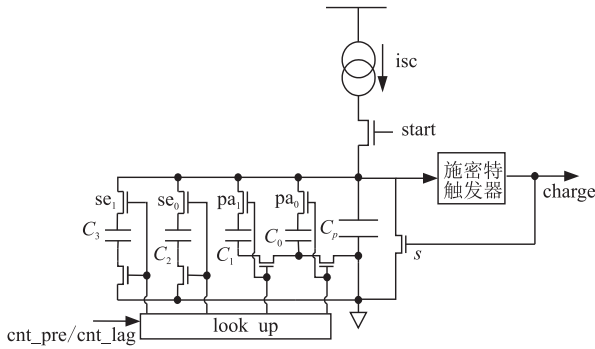


图4 充放电和校准

Fig.4 Charge and discharge and calibration

理想情况下,电容充放电32次的时间是31.26 ns,但是由于电容值的误差,这个时间会出现偏差。在调节过程中,由于受到停止信号检测器的检测范围和串并联电容的档位限制,调节精度约在310 ps。

校准模式的工作过程如下:①通过设置 cali 信号开启校准模式;②在 cali 信号置高的若干个时钟周期之后,通过 gen_start_per 模块产生校准周期的开始信号 start_per,然后通过选择器产生在校准模式下开始充放电的信号 start,charge_and_cali 模块接收到 start 信号后开始电容充放电;③当校准的1个周期结束后,gen_start_per 会产生1个 stop_per 信号,当电容充放电32次之后会产生1个校准模式下电容充放电结束信号 full_cali;④stop_per 信号和 full_cali 信号输入到数字鉴相鉴频器进行相位差的计算,会得到1个相位差脉冲信号 phase_gap;⑤把 phase_gap 信号输入到停止信号检测器和溢出判断计数器,前者是判断相位差是否满足要求,若满足,说明校准成功,若不满足,则继续校准,后者是判断校准是否超过了规定次数,若是,则停止校准。

正常模式下的主要工作过程:①通过设置 cali 信号开启正常工作模式;②high-bit counter-comparator 模块开始以 clk_32m 为计数时钟开始计数,并与输入的高5位 d[9:5] 比较;③计数与 d[9:5] 相等时,开始充放电,且 low-bit counter-comparator 模块计数充放电的次数,并与低5位 d[4:0] 比较;④计数与 d[4:0] 相等时,则 DPWM 的1次占空比波形输出成功,等待下1个开关时钟上升沿的到来。

3 电路设计及仿真

本文设计采用恒流源 isc 是 500 uA,基准电容 C_p 是 1 pF 的 mos 管电容,并联可选电容是 20 个 0.01 pF 的 mos 管电容,串联可选电容是 20 个 50 pF

的 mos 管电容,电容每调整一次,充放电时间会以百皮秒级的递增或递减的精度向标准充放电时间逼近,施密特触发器的高阈值电压是 0.6 V,施密特触发器的低阈值电压是 0.1 V。

本文电路的设计分为数字电路部分和模拟电路部分。数字电路用 verilog hdl 硬件描述语言设计,用 VCS(Verilog Compile Simulator, VCS) 软件进行编译;模拟部分用 cadence ic 软件进行电路设计。最后在基于 SMIC 180 nm 的 CMOS 工艺基础上实现版图,并进行后仿真。

在正常工作模式下,输入 d[9:0] 分别为 1 020 h,2 020 h 和 2 510 h。在校准模式和正常模式下的仿真波形见图 5、6。

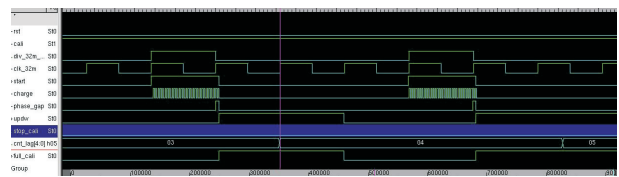


图5 校准工作模式

Fig.5 Calibration mode

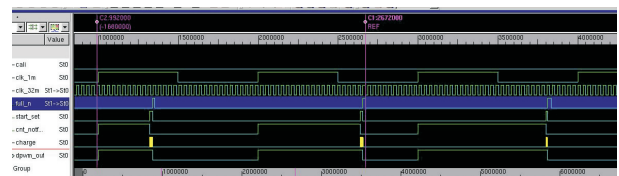


图6 正常工作模式

Fig.6 Normal mod

由图 5 可知,每次校准都会校准相位差信号 phase_gap 的脉冲宽度,直至校准成功;由图 6 可知,在正常工作模式下,本文设计的 DPWM 可以按照预期的结果正常工作。

图 7 是本文设计的基于电容充放电的带校准功能的 DPWM 结构和基于计数器延迟线混合型结构 DPWM 的线性度比较。

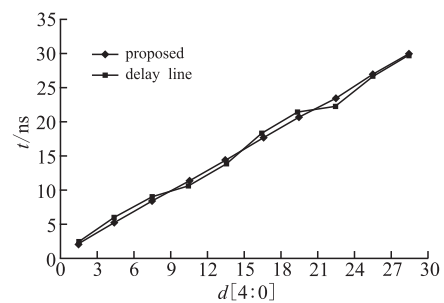


图7 线性度比较

Fig.7 Comparson of linearity

图 8 是这 2 种混合型 DPWM 结构的差分线性(Differential Nonlinearity, DNL)比较。横坐标是

DPWM的低5位输入值 $d[4:0]$,纵坐标是对应的的时间,对于本文的设计来说,纵坐标是 $d[4:0]$ 次充放电的时间;对于延迟线结构的设计来说,纵坐标是 $d[4:0]$ 个延迟单元的延迟时间。结果表明,基于本文设计方案的最大差分线性是0.125 LSB,在线性度上有所提高。

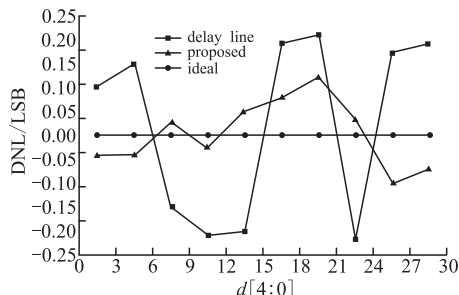


图8 差分非线性比较

Fig.8 Comparison of DNL

4 结语

本文论述了一种基于电容充放电的带校准功能的DPWM结构,并且进行了数字电路和模拟电路的设计。在版图设计后进行了后仿真,实验结果表明,当系统时钟为32 MHz时,实现了开关频率为1 MHz,分辨率为10 bit的DPWM,最大差分非线性是0.125 LSB。本文设计的DPWM结构不仅能够满足低系统时钟的要求,而且在数字电源的占空比调节时能够获得很好的线性度,适合应用于对系统时钟和线性度要求较高的场合。

参考文献(References):

- [1] 尹有为,赵录怀,马西奎.不连续模式的PWM型DC/DC变换器的广义平均法[J].空军工程大学学报:自然科学版,2004,5(4):80-83.
YIN Youwei, ZHAO Luhuai, MA Xikui. Discrete Mmodel of PWM Ttype DC/DC Converter Generalized Average Method [J].Journal of Air Force Engineering University: Natural Science Edition, 2004, 5 (4):80-83.(in Chinese)
- [2] CHEN Hua, LI Shun, NIU Qi, et al. A Novel Hybrid DPWM for Digital DC-DCC Converters[J].Journal of Semiconductors, 2008,29(2):75-80.
- [3] 李思.基于FPGA的高频高精度数字开关电源控制器的研究[D]哈尔滨:哈尔滨理工大学,2011.
LI Si. Research on High Frequency and High Precision Digital Switching Power Supply Based on FPGA [D]Harbin: Harbin University of Science and Technology,2011.(in Chinese)
- [4] 蒋真.单相/三相逆变器数字单周期控制研究[D].

南京:南京航空航天大学,2011.JIANG Zhen. Research on Digital One-Cycle Control for Single-Phase / Three-Phase Inverter[D].Nanjing: Nanjing University of Aeronautics and Astronautics, 2011. (in Chinese)

- [5] Syed A, Ahmed E, Maksimovic D, et al. Digital Pulse Width Modulator Architectures[J].IEEE 35th Annual Power Electronics Specialists Conference, 2004(6): 4689-4695.
- [6] Peterchev A V, Sanders S R. Quatization Resolution and Limit Cycling in Digitally Controlled PWM Converters[J]. IEEE Trans on Power Electron,2003(7): 301-308.
- [7] Syed A, Ahmed E, Maksimovic D, et al. Digital Pulse Width Modulator Architectures [C]//IEEE PESC. Aachen,2004: 4689-4695.
- [8] MA X, LUO P, CHEN X, et al. A Dual-Mode Digitally Controlled Converter for Synchrous Buck Converters Operating over Wide Range of Load Currents [C]//IEEE 11th Int Conf Sol Sta Integr Circ Tech,Xi'an, 2012: 1-3.
- [9] 白永江,冯维一,杨旭,等.高精度数字PWM的实现——数字“抖动”[J].电力电子技术,2007,41(8): 54-56.
BAI Yongjiang, FENG Weiyi, YANG Xu, et al. Implementation of High Resolution Digital PWM-Digital Dither[J].Power Electronics, 2007, 41(8): 54-56. (in Chinese)
- [10] LUKIC Z, RAHMAN N, PRODIC A. Multibit Σ - Δ PWM Digital Controller IC for DC-DC Converters Operating at Switching Frequencies Beyond 10 MHz [J]. IEEE Trans on Power Electron, 2007, 22(5): 1693-1707.
- [11] Dunlap S K, Fiez T S. A Noise-Shaped Switching Power Supply Using A Delta-Sigma Modulator[J]. IEEE Trans Circuits Syst,2004(6):1051-1061.
- [12] 陈静波,贺雅娟,甄少伟,等.基于二分校准的混合型数字脉宽调制器[J].微电子学,2014,44(4):483-488.
CHEN Jingbo, HE Yajuan, ZHEN Shaowei, et al. A Hybrid DPWM Based on the Dichotomy of Calibration Mechanism [J]. Microelectronics, 2014, 44 (4): 483-488. (in Chinese)
- [13] 高艳霞,徐妍萍,郭水保.新型混合DPWM方法及其实现[J].电力电子技术,2009,43(6):84-86.
GAO Yanxia, XU Yanping, GUO Shuibao, et al. A novel Hybrid DPWM Strategy and Its Implementation[J].Power Electronics, 2009, 43 (6): 84-86. (in Chinese)

(编辑:徐楠楠)