

基于FPGA的智能天线数字波束的形成与实现

陈玉峰, 左继章, 彭芳

(空军工程大学工程学院, 陕西西安 710038)

摘要:提出了数字波束形成的方法, 该方法是利用FPGA进行空域滤波, 通过DSF浮点运算, 高效地实现权值估计, 避免高位加法进位影响计算速度。同时使用软件方式完成自适应算法的更新, 增强了系统灵活性, 是一种简便易行的实现方法。

关键词:智能天线; 数字波束形成; FPGA; 空域滤波

中图分类号: TN82 **文献标识码:** A **文章编号:** 1009-3516(2006)05-0033-03

智能天线技术自提出以来一直受到广泛而持续的关注, 它优异的性能使其在通信系统中具有非常大的应用前景^[1]。数字波束的形成方法是智能天线核心的技术, 其阵列天线方向图是求解各阵列激励的加权值后形成期望的波束形式。对于权值估计问题, 文献[2]提出以均匀线形阵列估计, 文献[3]又进一步提出了加权L2平均最优化, 其算法理论精度较高, 但具体的实现细节未涉及。基于此, 我们从系统角度出发, 考虑到性能和复杂度较好的折衷, 提出一种易于工程化的数字波束实现方法, 并详细分析了影响速度和资源消耗的原因, 采用并行相与相加结合流水线的技术, 加快了树形乘法器的计算速度, 提高数字波束的形成效率, 满足智能天线数字波束指向的实时性。

1 智能天线数字波束的形成

智能天线阵列的基本原理是根据接收准则自动地调节天线阵元的幅度和相位加权, 达到最佳接收效果。智能天线所处理的信号是在时域、频域上完全重叠, 只在空域上分离来自不同方向的多路用户信号, 从空间响应来看, 智能天线所起的作用实质是一个空域滤波器^[4], 采用数字方法对阵元接收信号加权处理形成天线波束, 使主波束对准用户信号方向, 而在干扰信号方向形成天线方向图零陷或较低的功率方向图增益, 达到抑制干扰的目的。虽然阵列天线的方向图是全方向的, 但阵列的输出经过加权求和后, 可以将阵列接收的方向增益聚集在一个方向上, 相当于形成了一个波束, 这就是波束形成的物理意义所在。

由于线阵阵元数很多时, 线阵口径将变得很大, 会给实际使用带来困难, 尤其是在频率低端, 对应的波长长, 天线口径将很大, 所以在实际使用中多用圆形阵。圆形阵是指其阵元在半径为 R 的周围上等间隔排列的天线阵(见图1)。设信号入射方向与0号天线的夹角为 θ_m , 以圆心为相位参考点, 则可求出第 n 根天线与圆心之间的相位差见式(1)。圆形阵的归一化方向图函数见式(2)。

$$\Phi_{nm} = 2\pi R \cos(2\pi n/N - \theta_m) / \lambda_m \quad (1) \quad F_m(\theta) = \left| \frac{1}{N} \sum_{n=0}^{N-1} e^{j2\pi R [\cos(2\pi n/N - \theta_m) - \cos(2\pi n/N - \theta)] / \lambda_m} \right|^2 \quad (2)$$

当 $\theta = \theta_m$ 时, $F_m(\theta)$ 取最大值。

圆形天线阵的波束形成器的复加权重值为 $W_{nm} = \exp(-j\Phi_{nm}) = \exp[-j2\pi R \cos(2\pi n/N - \theta_m) / \lambda_m]$ 这种圆形阵波束形成天线可以在 360° 范围内形成任意方向的波束。

当 $N=8$, $R = \lambda_m/2$ 时, $W_{nm} = \exp[-j\pi \cos(\pi n/4 - \theta_m)]$ 的方向图见图2。

收稿日期: 2005-10-27

基金项目: 国防预研基金资助项目(413220347)

作者简介: 陈玉峰(1969-), 男, 黑龙江哈尔滨人, 博士生, 主要从事通信信号处理、智能天线等研究;
左继章(1939-), 男, 天津人, 教授, 博士生导师, 主要从事通信与信号处理等研究。

智能天线的数字处理部分^[5]一般由 2 个主要部分组成:一部分是以数字信号处理器和自适应算法为核心的最优(次优)权值产生网络,另外一部分是以动态自适应加权网络构成的自适应波束形成网络。波束形成算法是智能天线的核心和理论基础,波束形成算法通过接收的信号和一些先验知识计算出加权因子,然后再对输入的信号在波束形成网络中进行加权处理完成波束形成。

2 数字波束形成设计与实现

智能天线将采用数字方法实现波束成形,即数字波束形成 DBF (Digital Beam-forming) 天线。使用软件设计完成自适应算法更新,可以在不改变系统硬件配置前提下,增加系统灵活性。智能天线的波束形成算法通过自适应信号处理器实现,一般均采用高速 DSP 完成,其最终的波束形成加权运算可以采用 DSP、专用 ASIC 芯片或 FPGA 实现。

本文利用 ALTERA 公司的 EPF10KE 系列器件以及该公司提供的 Max + plus II 10.0 开发软件实现了智能天线系统中的波束形成网络。阵列天线由 8 元圆形阵组成,自适应信号处理器由 TI 公司的 TMS320C6701 完成,而波束形成网络由 3 片 FPGA 来实现。阵列天线接收信号经过 AD 和下变频器件后输出基带(I,Q)数据进 FPGA,8 路接收信号的基带数据 I,Q 分量(每路 I,Q 分量均为 12 bit)进入 FPGA 后,一方面在统一的采样时钟控制下完成加权求和运算,即空域滤波;另一方面,为 DSP 算法运算提供样本数据。考虑波束形成算法运算量较大,为了使运算结果有较高的精度和动态范围,DSP 进行算法运算的样本数据宽度为 12 位,但同时考虑资源消耗和系统要求,FPGA 进行最终的波束形成(空域滤波)只保留数据样本和权值的 9 位(8 位数据位,1 位符号位)进行运算,最终空域滤波后输出结果取为 14 位二进制补码数据。系统工作流程为:当 DSP 需要样本数据时,请求 FPGA 在内置双口 RAM 中缓存一定的接收数据,FPGA 再通知 DSP 读出完成算法运算,DSP 在算法运算完成后将权值写回到 FPGA 的权值寄存器中,然后再请求数据,依次循环,而 FPGA 对每一个样本数据进行加权运算。FPGA 进行空域滤波的加权因子采用块方式更新,由 DSP 通过算法算出送给 FPGA,权值的计算是智能天线算法的核心所在,考虑到精度,我们采用浮点数字信号处理器来完成。数字波束形成是通过加权因子对空间不同天线的接收信号的加权求和而成,由于加权因子相当于滤波器系数,而输入的信号为空间位置不同的天线接收的信号,所以可以将波束形成器等同于一个空域滤波器来实现。空域滤波器的功能框图见图 3。设天线阵为 8 元圆阵,接收的信号为 $X = [x_1, x_2, \dots, x_8]$, $x_m = x_{mi} + jx_{mq}$ ($m = 1, 2, \dots, 8$),由信号处理器计算出的加权因子为 $W = [w_1, w_2, \dots, w_8]$, $w_m = w_{mi} + jw_{mq}$, ($m = 1, 2, \dots, 8$) 则经过空域滤波器后的输出信号为 $y = X \times W^H = x_1 \times w_1 + x_2 \times w_2 + \dots + x_8 \times w_8$ 。

可以看出,空域滤波主要完成复数乘法和复数加法运算。对于一个 8 元圆阵天线,每路输入信号经过下变频后输出为基带(I,Q)分量,因此一个 8 元圆阵的空域滤波器实际要完成 32 个乘法和 30 个加法运算,特别是智能天线接收的数据速率又很高,所以在此的计算量相当大,用一般的 DSP 在一个采样样本的时间间隔内很难实时完成,而且如此高速多路的数据流送入到 DSP 中本身就是一个难度非常大的问题。采用 FPGA 可以利用其多个 I/O 脚灵活配置,接收多路数据,数据运算在同一个接收时钟的控制下流水线完成,控制每一级流水线的运算时间小于一个样本的采样时间即可满足计算要求。在 FPGA 中影响计算速度和资源消耗的主要是乘法运算。树形乘法器是将乘数的每一位与乘数相与,然后将所有的相与结果逐级移位相加。为了提高计算速

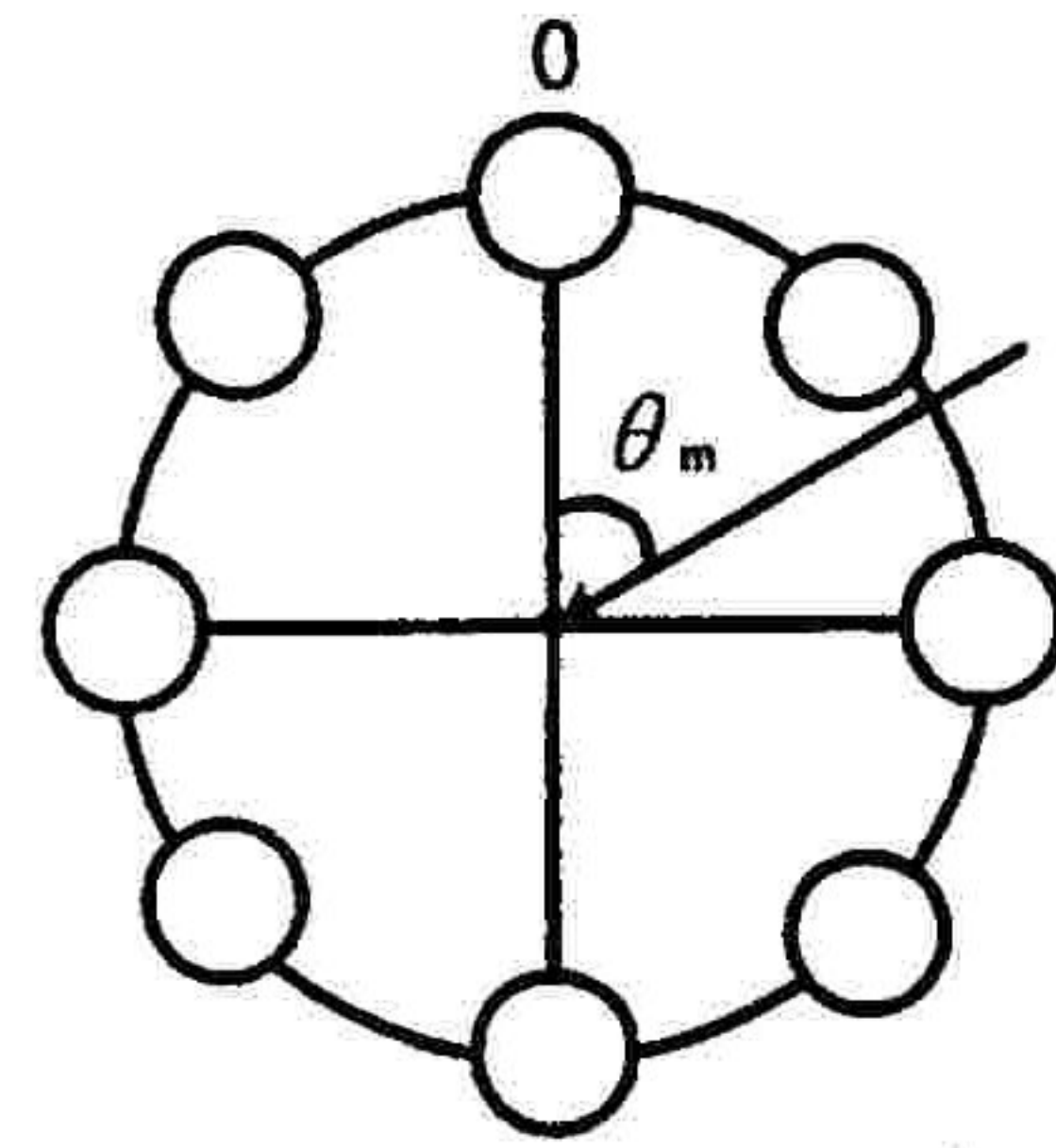


图 1 8 元圆阵天线示意图

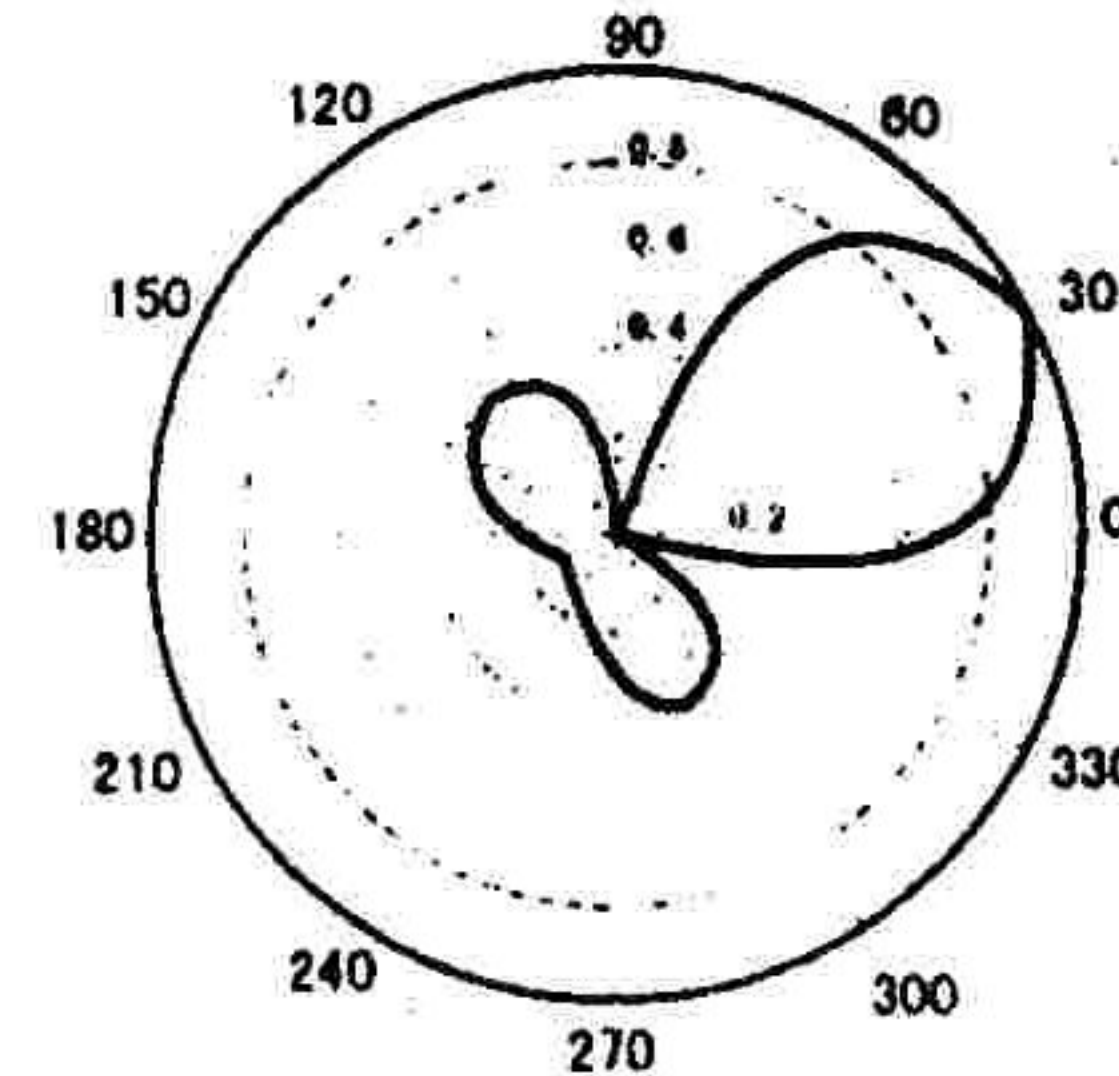


图 2 8 元圆形阵的方向图

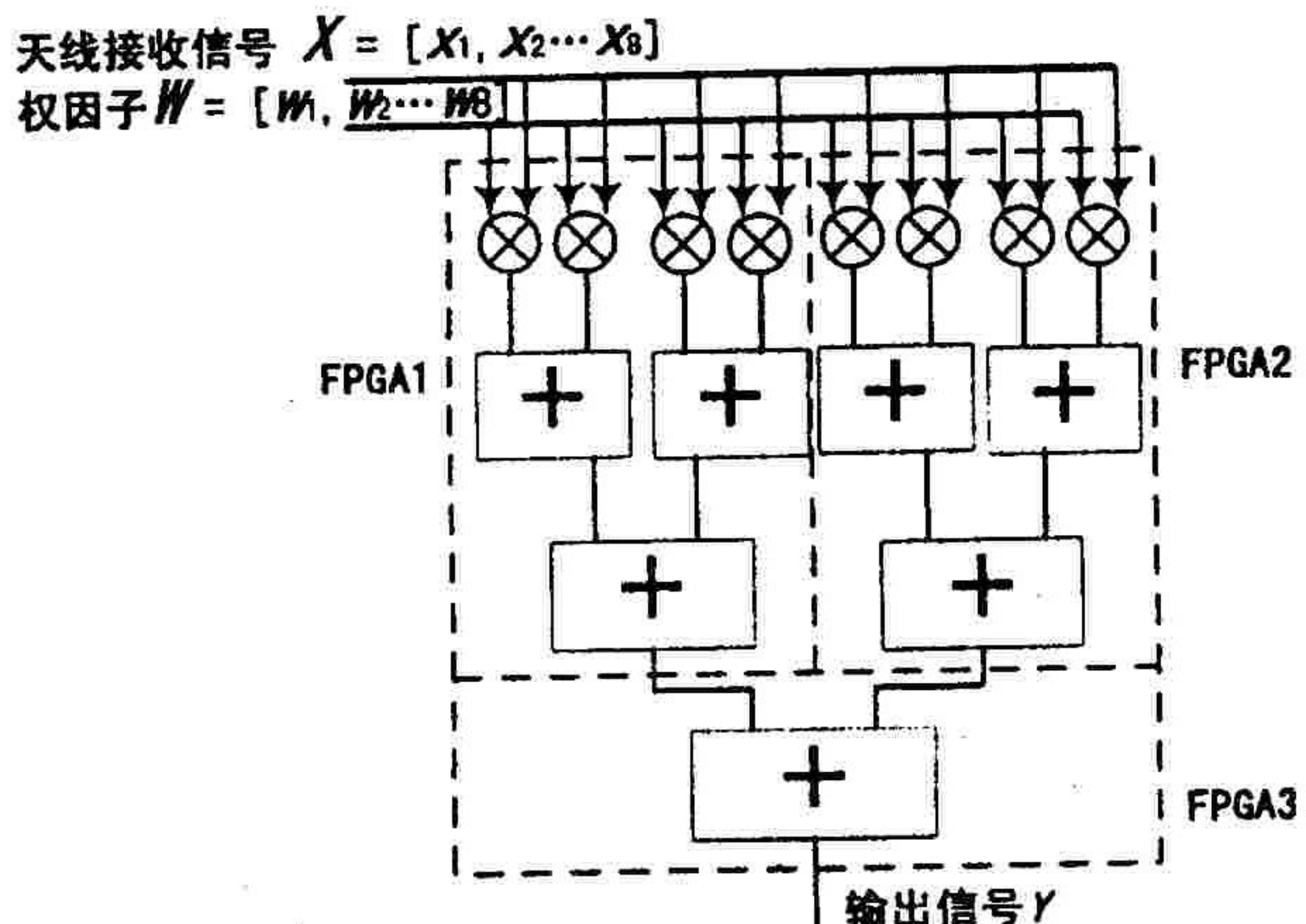


图 3 空域滤波器的功能框图

度,采用并行相与相加并结合流水线进行,即将乘法运算分解为相与和相加运算,由于高位加法的进位会严重影响计算速度,将高位加法分为多个低位加法逐级流水线进行。在实现过程中,将8路输入数据分为两组,每四路由一片FPGA完成加权求和运算,两片FPGA最终的输出结果再在第三片FPGA中完成求和输出以及其它处理。前两片FPGA选用ALTERA公司的EPF10K130EQC240-1,其最大可用I/O脚为186个,逻辑单元(LE)为6656个,EAB(嵌入式阵列块)为16个,可提供RAM容量为65536 bit,最后一块求和的FPGA占用很少的资源,考虑该片FPGA还要进行其它数据处理,在此选用ALTERA公司的EPF10K50EQC240-1完成。 9×9 位有符号的复数乘法器占用资源964 LE(逻辑单元),FPGA1和FPGA2中的双口RAM各占用EAB(嵌入式阵列块)的比特数为: $4 \times 2 \times 12 \times 500 = 48\ 000$ bit。

3 结论

波束形成器是智能天线的核心部分之一,本文利用FPGA完成波束形成,在保证运算速度和计算精度的前提下,较好地完成了预定的指标。其核心计算单元在速度和资源占用上优于通用IP核。经实际测试,运算速度最高可达70.42 Mbps,完全满足我们系统要求的20Mbps的基带数据速率,本波束形成模块已经成功应用于某智能天线开发系统中。

参考文献:

- [1] Godara L C. Application of Antenna Arrays to Mobile Communications, part II: Beam Forming and Direction of Arrival Considerations [J]. proceedings of the IEEE 1997,85(8):1195-1226.
- [2] Dolph C L. A Current Distribution for Broadside Arrays Which Optimizes The Relationship Between Beam Width And Side lobe Level [J]. Proc IRE, 1996,34(6):336-338.
- [3] Zhou Y P, Ingram M A. Pattern Synthesis for Arbitrary Arrays Using an Adaptive Array Method [J]. IEEE Trans on AP 1999, 47(5):864-869.
- [4] Michael Chryssomallis. Smart Antennas [J]. IEEE Antennas and propagation magazine,2000,42(3):132-134.
- [5] Todd W. N, James S. Digital Beam Forming And Calibration for Smart Antennas using Real time FPGA processing [J]. IEEE MTT-S Digest 2002,56,(5):307-310.

(编辑:姚树峰)

Implementation and Formation of Smart Antenna Digital Beam Based on FPGA

CHEN Yu-feng, ZUO Ji-zhang, PENG Fang

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: A method of digital beam formation of smart antenna system is introduced. By the method, FPGA is utilized for conducting the spatial filter, weight estimation is realized through the float point calculation of DSP, thus preventing High order addition carry from lowering the calculation speed. Simultaneously the flexibility of system is improved by updating the adaptive algorithm in the software way. And, the method is easy to implement in practice.

Key words: smart antenna; digital beam formation; FPGA; spatial filter