

脉冲测距系统中编、译码的软件实现

张宝华，陈高平，冯松立
(空军工程大学 工程学院，陕西 西安 710038)

摘要：提出了采用软件编程的方法实现对脉冲测距系统中脉冲数目、脉冲宽度和脉冲间隔的编、译码的方案，以三脉冲的编、译码为例，阐述了具体的实现过程，对程序进行了仿真验证，并对软件实现编、译码的特点进行了分析。

关键词：测距；编码；译码；VHDL

中图分类号：V243；TN957.52¹ 文献标识码：A 文章编号：1009-3516(2004)05-0021-03

目前的测距系统大多是采用应答式脉冲测距，即二次雷达原理。机载设备发射询问脉冲对信号，地面台收到该询问脉冲后，经过一个固定延迟，再向机载设备发射回答脉冲对信号。机载设备接收到信标发射的信号后，经过识别，选择出正确的测距应答脉冲，并测出询问脉冲与地面台的回答脉冲之间的时间间隔。利用这个时间间隔，可按 $D = C(T - T_0)/2$ 换算出机载设备与信标台之间的距离。式中： c 为电波在空间的传播速度； t_0 为信标台的固定延时； t 为询问脉冲和应答脉冲之间的时间间隔。

编译码的方法是脉冲测距系统提高抗干扰性的一个重要措施。在常用的测距系统中的编、译码种类主要是：①脉冲载频频率编译码，②脉冲数目及其间隔编译码，③脉冲宽度编译码，④脉冲重复频率编译码。本文讨论的编译码，主要是针对视频部分的脉冲数目、脉冲间隔和脉冲宽度的编译码。

1 编码过程

以三脉冲编码为例，编码模块的 VHDL 程序流程见图 1。

其中 $A_1, B_1, A_2, B_2, A_3, B_3$ 为常数，用来决定各脉冲的宽度和脉冲间隔。如 clk 时钟周期为 T_{clk} ， T_{k1}, T_{k2}, T_{k3} 分别为 3 个脉冲的宽度， T_{j1} 为第二和第一脉冲的间隔， T_{j2} 为第三和第一脉冲的间隔，则： $T_{k1} = T_{clk}(B_1 - A_1)$ ； $T_{k2} = T_{clk}(B_2 - A_2)$ ； $T_{k3} = T_{clk}(B_3 - A_3)$ ； $T_{j1} = T_{clk}(A_2 - A_1)$ ； $T_{j2} = T_{clk}(A_3 - A_1)$ 。

三脉冲编码模块的核心是一个以 clk 时钟信号的线程。当触发脉冲 Inpulse 到来时，计数器开始计数，计数器的数值与输出信号的时间轴相对应，找出所编码字高电平所对应的时间轴上的位置范围，根据范围确定何时将输出信号置‘1’；何时置‘0’，当码字最后一个脉冲完成以后，将计数器清零，等待下一触发脉冲。如为更多脉冲的编码，其编码过程相类似，只需判断条件即可。

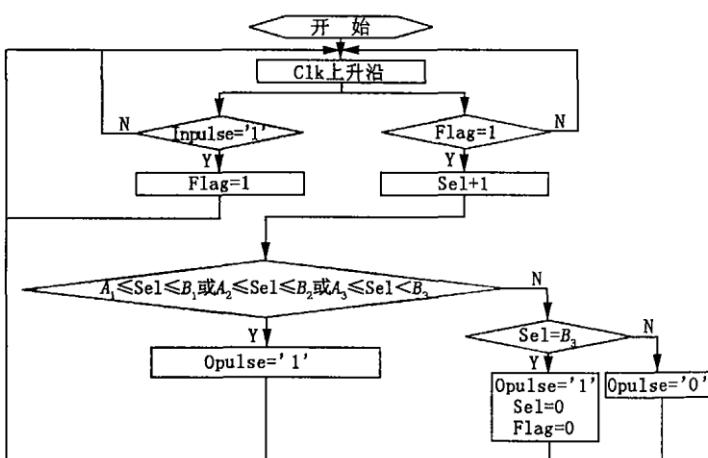


图 1 编码模块的 VHDL 程序流程

收稿日期：2004-01-06

基金项目：军队科研基金资助项目

作者简介：张宝华（1966-），男，陕西宝鸡人，高级实验师，主要从事无线电通讯导航研究。

2 译码过程

以三脉冲译码为例,译码模块的 VHDL 程序流程见图 2。

三脉冲译码模块的核心是一个以 clk 时钟信号的线程。其中 $[A_1 A_2]$ 为第一与第二脉冲间隔允许范围, $[B_1 B_2]$ 为第二与第三脉冲间隔允许范围, A, B 分别为大于 A_2, B_2 的常数。在码字的第一脉冲下降沿第一计数器开始计数,在第二脉冲上升沿停止计数;在码字的第二脉冲下降沿第二计数器开始计数,在第三脉冲上升沿停止计数;则两个计数器所计数值分别对应第一、二脉冲,第二、三脉冲的间隔,然后判断是否符合条件,如符合则输出译码脉冲,并将计数器清零,等待下一码字;否则,不译码,直接将计数器清零,等待下一码字。

3 设计工具与仿真结果

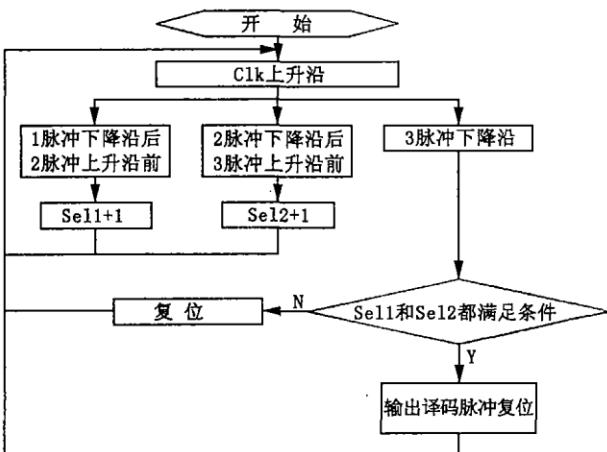


图 2 译码模块的 VHDL 程序流程

编、译码电路采用 VHDL 语言和 PLD 器件实现, 使用 MaxPlus II 开发工具, 这是因为 MaxPlus II 界面友好, 使用便捷, 具有原理图输入和文本输入(采用 VHDL, Verilog HDL 硬件描述语言)两种输入手段, 以及波形与 EDIF 等格式的文件, 并支持这些文件的任意混合设计。VHDL 语言描述能力强, 覆盖面广, 抽象能力强。

利用 MAX + plus II 的 Waveform Edit 对编、译码的程序进行仿真, 结果见图 3、图 4。

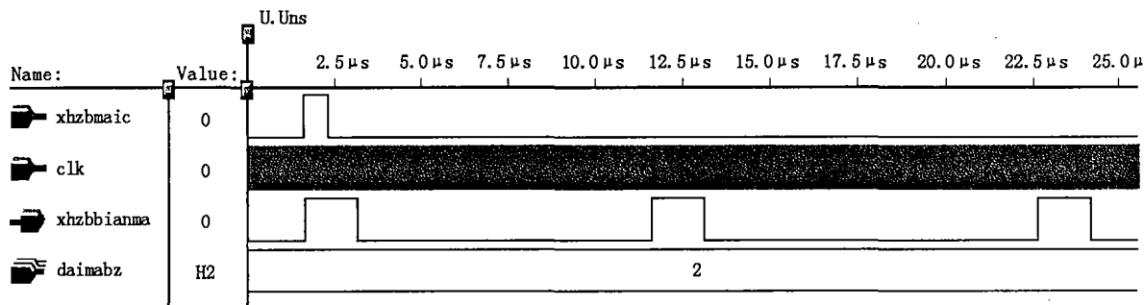


图 3 编码的仿真波形

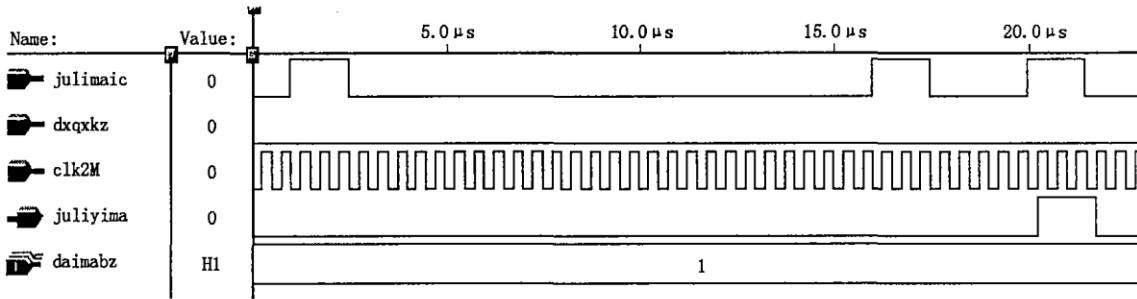


图 4 译码的仿真波形

4 结束语

本文提出了采用软件编程的方法实现编、译码的方案, 对脉冲测距系统中编、译码地实现进行了有益的尝试, 该技术已经在某新型飞机近导信标模仿仪中得到应用, 经验证这种编、译码方法稳定、可靠。并且具有以下特点:

1)通用化、模块化。上述编译码的实现方法,运用小规模的集成电路搭建硬件电路,实现起来比较困难,但是,我们采用VHDL(硬件描述语言)进行编程实现,可以做一通用的编译码模块,根据电码的要求相应改变编译码模块的各种参数,大大缩减编译码设计的工作量,便于调试连接。

2)噪声干扰小。可以将系统所有的编译码程序以及其它一些总线接口、分频、延时等软件电路,烧写配置一块可编程器件内,这样采用大规模集成电路,缩短了印刷电路板的布线,相应的减少了相邻两导体的互感与互容,减少了外部的干扰途径,因此提高了系统特别是编译码部分的抗干扰性。

3)译码的准确度高。在译码时,有时需要译码的脉冲脉宽和脉冲间隔允许一定范围的误差,现在假设允许误差为 n'/T_{clk} ,在译码时,当第一脉冲的脉冲宽度满足 $n_{k1}T_{clk} - n'/T_{clk} \leq T_{k1} \leq n_{k1}T_{clk} + n'/T_{clk}$ 时,我们就认为满足了译码的脉宽要求,同理,其它脉冲间隔和脉冲宽度也是如此。误差 n' 作为一个译码的参数,可以很方便的调节,这就可以根据不同要求调整误差值,保证译码的准确性。对于测距系统跟踪目标时,需要经过连续n次正确译码才可跟踪,在软件里也很好实现,对每一次正确译码置一个标志位,并且进行计数,当连续正确译码达到n次时,跟踪截获目标。

参考文献:

- [1] 曾繁泰,陈美金. VHDL程序设计[M]. 北京:清华大学出版社,2001.
- [2] 赵曙光,郭万有,杨颂华,等. 可编程逻辑器件原理、开发与应用[M]. 西安:西安电子科技大学出版社,2001.
- [3] 曹华民,杜栓义,李晓峰. 基于复制理论的调制解调技术及其计算机仿真[J]. 空军工程大学学报(自然科学版),2002,3(5):61-63.

(编辑:姚树峰)

Software Realization of Encoding and Decoding in the Pulse Distance Measuring System

ZHANG Bao-hua, CHEN Gao-ping, FENG Song-li

(The Engineering Institute, Air Force Engineering University, Xi'an, Shaanxi 710038, China)

Abstract: A project to realize the encoding and decoding of pulse number, pulse width and pulse spacing in the pulse distance measuring system is put forward by use of software programming. By taking the encoding and decoding of three pulses for example, the concrete realizing process is expounded, and the characteristics of the encoding and decoding by software realization are analyzed.

Key words: distance measuring; encoding; decoding VHDL