

# 共享媒介型 ATM 交换网络的实现

熊 伟<sup>1</sup>, 徐展琦<sup>2</sup>, 易克初<sup>3</sup>

(1. 空军工程大学 电讯工程学院, 陕西 西安 710077; 2. 西安邮电学院, 陕西 西安 710061;  
3. 西安电子科技大学, 陕西 西安 710071)

**摘 要:**介绍了 ATM 交换网络的发展及其工作原理,提出了共享媒介型 ATM 交换网络的设计方案,完成了该设计方案的硬件设计和软件编程。最后,对实际电路进行了测试,得到了满意的结果。该电路对 ATM 技术实用化具有重要意义。

**关键词:**B-ISDN; ATM; 信元总线

**中图分类号:**TN915.05 **文献标识码:**A **文章编号:**1009-3516(2000)05-0024-04

ATM 技术<sup>[1~2]</sup>是一种快速的数据分组交换技术,是 B-ISDN 的关键技术。在 ATM 中,不同速率的各种数字业务(如语音、图象、数据、视频)的信息被分割成标准的 53 字节的信元,以进行快速分组交换。由于能在单一的主体网络上携带多种信息媒体,进行多种通信业务,所以一开始就受到人们的普遍重视。自 1989 年,当时的 CCITT 第 18 研究组在综合了已有研究结果的基础上提出了一种新的信息传递方式——异步转移模式(ATM)以来,ATM 相应的标准一直得到不断完善,1991 年,成立了 ATM 论坛(ATM Forum),1992 年 6 月,ATM 已被国际电联电信标准部(ITU-T)定义为未来 B-ISDN 的传递模式。以 ATM 为基础的高速信息网络的宽带化、智能化和个人化(BIP·Broadband Intelligence Personality)被认为是继 70 年代传输和交换数字化之后的第二次革命。ATM 交换网络是 ATM 网络中的关键和主要技术,它的性能好坏直接影响到交换的吞吐量、信元阻塞等问题。

## 1 ATM 交换网络的系统结构

在宽带综合业务数字网中,各类业务经过适配便可进入 ATM 网,由 ATM 交换机提供交换和中继功能,从而到达信宿。ATM 交换机的作用是,根据输入信元的 VPI/VCI 标识,以及它本身在建立连接时产生的路由表,将信元转发到相应的输出端口,并对信元的头部进行适当处理,如改变其 VPI/VCI 值,在拥塞时有可能改变 CLP 值,最后还要重新计算 HEC 值,以保护新产生的信元头。

ATM 交换结构一般分为三类<sup>[3]</sup>,共享媒介(Shared Medium)交换结构、共享存储器(Share Memory)交换结构和空分(Space Division)交换结构。本文重点讨论了共享媒介(总线)型 ATM 交换网络的实现,该交换网络可由超大规模芯片组成的总线用户接口和一条共同的总线构成,其结构<sup>[4]</sup>如图 1 所示。

ATM 信元可以由任一个总线用户接口发送,经过共同的总线,到达任一(或多个或全部)总线用户接口。ATM 总线是一个简单的 TDM 帧结构,需要一个外部时钟来同步,一个 ATM 总线帧含有 16 个时钟周期,用来应答总线请求和一个完整信元的传送,每一总线用户接口都

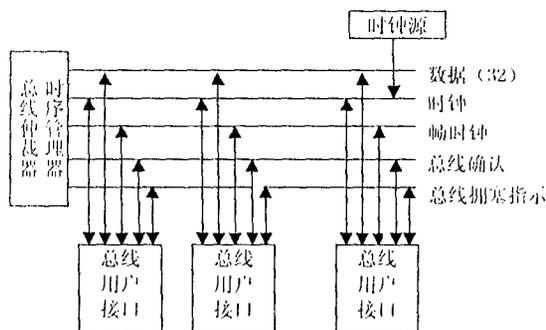


图 1 总线型 ATM 交换网络系统框图

收稿日期:2000-05-16

基金项目:原邮电部重点科技发展课题(96-116)

作者简介:熊 伟(1965-),男,安徽凤阳人,讲师,硕士,主要从事宽带综合数字网的研究。

含有时序控制器和仲裁器,同一总线下只允许启动某一个总线用户接口的时序控制器和仲裁器来管理总线。

## 2 共享总线型 ATM 交换网络的设计与实现

### 2.1 总体设计

根据传输业务的需要,本文设计了 8×8 共享总线型 ATM 交换网络,其硬件电路结构如图 2 所示。

该电路主要含有以下 3 个单元。

ATM 交换网络单元。选用 TranSwitch 公司生产的 CUBIT TXC-05801 CellBus 交换芯片,构成 8×8 共享总线型交换网络,每一个芯片对应一种业务,具体业务分配见表 1,支持 UTOPIA 和 ALI-25 物理层信元界面。通过外部的 SRAM 可实现输入信元的地址变换和信元总线上路由头的插入,每个 CUBIT 都含有总线仲裁和控制器。在同一总线上可实现数据信元和控制信元的接收与发送。

计算机单元。主要完成:(1)该设备信令软件 and 用户软件的执行;(2)交换网络的控制和交换芯片的初始化;(3)VPI/VCI 翻译表的填写和控制信元的接收与发送;(4)通过双口 RAM 建立和其它业务接口板微处理器的通信;(5)交换网络误信率的测试等。考虑到该设备的小型化以及软件编写的方便性,选用嵌套式 PC/104 工控机。

逻辑控制单元。采用模块化设计,选用 Altera 公司生产的 EPLD 芯片 EPM7128E,由逻辑门、地址译码器产生 ATM 交换网络所需的各种逻辑控制信号。此外,当 CUBIT 芯片被设置成具有变换 VPI/VCI 功能(引脚 TRAN 为低)时,新的 VPI/VCI 值和插入的路由皆存放在 64K×8 静态 RAM 中,由工控机填写这些记录。PC/104 工控机通过双口 RAM 邮箱完成和各种业务适配板或接口板的通信。

### 2.2 ATM 交换芯片 CUBIT 5801 原理

CUBIT 芯片是一个 208 脚塑封表面帖集成电路<sup>[5]</sup>,其内部框图如图 3 所示。

CUBIT 的信元输入侧,能够接收线路上传送的信元,兼容 ATM 论坛的 UTOPIA 和 ALI-25 接口。通过 CUBIT 翻译控制器(Translation Control),输入信元能够携带信元总线路由头和新的 VPI/VCI 值(路由头和 VPI/VCI 翻译表皆存放在外部的 SRAM 中),随后进入 FIFO 移位寄存器(可存放 4 个信元),经信元

总线逻辑控制器传送到信元总线上。当 FIFO 移位寄存器中有信元待发时,将发出一个总线使用申请信号,并等待从总线仲裁/帧脉冲产生器发出的授权信号,当总线信元中的授权地址为本端口时,在下一帧,该 CUBIT 就发送一个信元到信元总线上。此信元能够被一个或多个 CUBIT 接收。除数据信元(Data Cell)外,CUBIT 经工程机发送控制信元(Control Cell)到信元总线上;还从信元总线上将接收到的回环信元(Loop-back Cell)经总线直接反馈到发出此回环信元的 CUBIT 上。

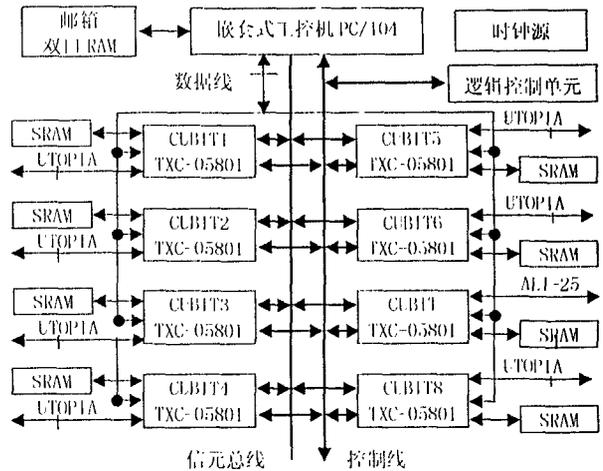


图 2 ATM 交换网络的总体结构

表 1 交换芯片和业务的对应关系

业务类型	交换芯片
SDH	CUBIT1 CUBIT5
以太网	CUBIT2 CUBIT6
E3	CUBIT3
ALI-25	CUBIT7
ALL1	CUBIT4 CUBIT8

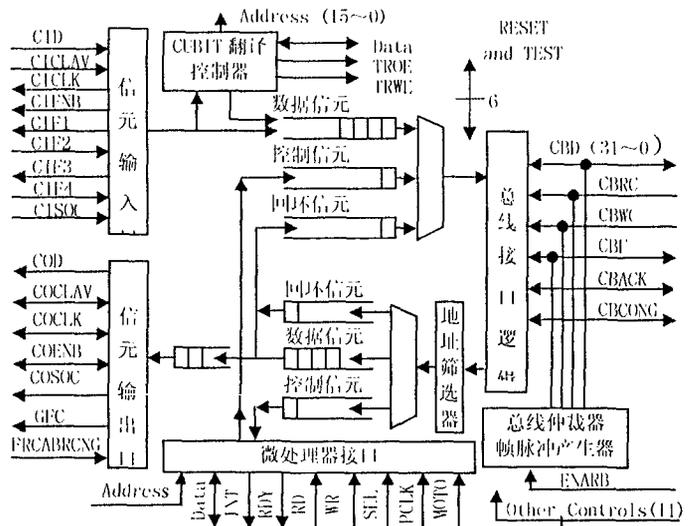


图 3 CUBIT TXC-05801 原理框图

CUBIT 的信元输出侧,信元总线上的信元被信元地址筛选器(Cell Address Screen)辨别确认后,经信元总线逻辑控制器从总线上读入 123FIFO 移位寄存器中。CUBIT 可通过软件编程使之工作在唯一地址传送、多播或广播方式。控制信元和回环信元从信元总线上读入后,分别送至容量为 4、1 的输出移位寄存器中。123FIFO 移位寄存器可以看成是一个可存放 123 个信元的输出寄存器,也可以根据不同的业务类型分成四种不同的输出寄存器。分别是输出控制队列(Outlet Control Queue)、CBR(Constant Bit Rate)队列、VBR(Variable Bit Rate)队列和 ABR(Available Bit Rate)队列寄存器。在输出信元侧,还可插入 GFC(Generic Flow Control)和 FECN(Forward Explicit Congestion Notification)。

### 2.3 初始化程序

#### (1)ATM 交换芯片的初始化程序

交换芯片要实现不同业务的正常交换,就必须对 CUBIT 交换芯片进行合理的初始化,主要是对其控制寄存器 00H—12H 赋初值,主要控制位有:00H~03H 是芯片识别码,07H 的 bit0 是复位控制位,将该位置 1,就可将丢弃信元计数器、错误路由计数器、信元的 HEC 错误计数器和输入信元计数器清零。0AH 的 bit7~bit6 是 CUBIT 芯片向总线发出请求的优先级,0AH 的 bit5 是 UNI/NNI 模式选则,置 1 是 UNI 模式,反之是 NNI 模式,0AH 的 bit4 是 TRH 是否使用,置 1 则使用 TRH。0BH 的 bit3~bit0 控制着 CUBIT 芯片输入/输出时钟的频率,该 4 位是信元输入/输出侧的时钟频率为总线时钟(CBRC)的(1/2)次幂。例如,若总线时钟频率为 37 MHz,bit3~bit0=0011,则信元输入/输出的时钟频率=37 MHz×(1/2)<sup>3</sup>=4.625 MHz。0CH 的 bit7 是 CUBIT 芯片在线/脱机状态选择,CUBIT 芯片只有处于在线状态,才能完成正常的交换功能;处于脱机状态,CUBIT 芯片输入侧不接收信元,输出侧处于三态,总线侧可从总线上接收控制信元和回环信元。通过逻辑控制单元,工控机用软件将某个 CUBIT 芯片的 208 脚(ENARB)清零,即启动该 CUBIT 内仲裁器/帧定位产生器管理整个信元总线。初始化程序流程图如图 4 所示。

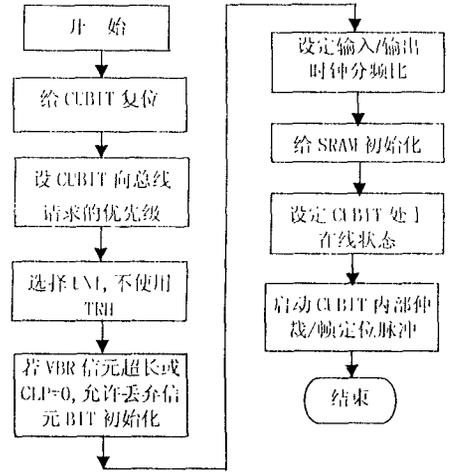


图 4 CUBIT 初始化程序流程图

#### (2)TRAM 初始化子程序

输入信元所要变换的 VPI/VCI 及路由标签皆存放在 TRAM 中,主控机利用 CUBIT 的控制寄存器 15H~17H 来对 TRAM 初始化。其中,15H 存放 TRAM 的低 8 位地址,16H 存放 TRAM 的高 8 位地址,17H 是该地址所指明的将要存储的 8 位数据。在所设计 8×8 交换网络的 SRAM 中,选择 VPI、VCI 皆翻译,用户网络接口不使用 TRH,选择 VPI、VCI 的位数为 8 位,由工控机将协商好的 VPI、VCI 填入指定的 VPI、VCI 记录中。TRAM 初始化子程序流程图如图 5 所示。

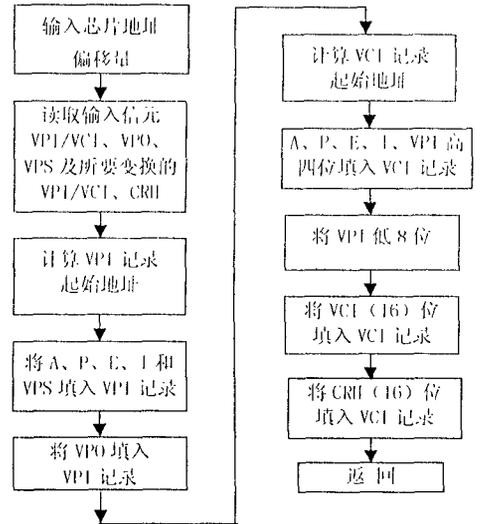


图 5 TRAM 初始化子程序流程图

## 3 测试结果

将所设计的硬件电路依次进行了逻辑控制电路 EPLD、总线时钟电路、信元总线电气特性、SRAM 初始化的调试以及与计算机的联调,ATM 交换网络实现了 8×8 信元的交换,达到了预期的结构,测试结果如下。

### 3.1 主要功能测试

(1)能够实现输入信元 VPI/VCI 的变换和路由标签的插入。

(2)能够实现信元在总线上唯一的地址传送、多播和广播功能。

(3)交换网络能够与 2.048 Mb/s 的 E1 适配板、Ethernet 适配板、34.368 Mb/s 的 E3 接口板、25MATM 局域网络接口板和 155.520 Mb/sSDH 接口板对接。

### 3.2 主要参数测试

(1) ATM 交换芯片的端口容量达 155.520 Mb/s。

(2) 总线时钟频率为 33 MHz 时, 信元总线吞吐率可达 1.056 Gb/s。

(3) 信元总线采用 GTL (Gunning Transceive Logic) 逻辑电平, 这是 JEDEC (电子设备工程联合会) 制定的新一代高速、低研逻辑体系。在实现正常信元交换的条件下, 总线时钟的实际电气特性如表 2 所示, 符合 GTL 电平标准。

(4) 由于测试仪器的限制, 仅利用自编软件对交换网络进行了测试。通过软件将消息转换为信元从交换芯片发送, 另一交换芯片从信元总线上接收信元并转换为消息, 观察交换网络信元丢失率、差错率和误插率, 连续实测约 8 h, 传送信元 201 147 891 个, 无任何差错; 在加载 E1 业务条件下, 连续实测约 8 h, 传送信元 202 418 618 个, 无任何差错。

## 4 结束语

本文工作来源于原邮电部 96 重点发展项目“具有交换功能的 ATM 复用设备”, 重点对 8×8 共享总线型 ATM 交换网络的设计、实现及其关键技术进行了研究。设计与实现了 8×8 ATM 交换网络, 端口容量达 155.520 Mb/s, 信元总线带宽达到 1 Gb/s; 实现了 E1、E3、25M ATM 局域网和以太网等业务在该交换网络中的交换, 达到了该设备的要求。

### 参考文献:

- [1] 马丁·德·普瑞克. 异步传递方式—宽带 ISDN 技术[M]. 北京: 人民邮电出版社, 1995.
- [2] 邢秦中. ATM 通信网[M]. 北京: 人民邮电出版社, 1998.
- [3] 李津生, 洪佩林. 宽带综合业务数字网与 ATM 局域网[M]. 北京: 清华大学出版社, 1998.
- [4] Transwitch Inc. CellBus Technical Manual CUBIT Application [EB/OL]. <http://www.transwitch.com>, 1996-10-10.
- [5] Transwitch Inc. CUBIT Txc-05801 Data Book [EB/OL]. <http://www.transwitch.com>, 1996-10-10.

## Implement of Shared Medium Type of ATM Switching Fabric

XIONG Wei<sup>1</sup>, XIU Zhan-qi<sup>2</sup>, YI Ke-chu<sup>3</sup>

(1. Telecommunication Engineering Institute, AFFU., Xian 710077, China;

2. Xian Posts and Telecommunications Institute, Xian 710061, China;

3. University of Electronic Science and Technology of Xian, Xian 710071, China)

**Abstract:** In this paper, the author gives a brief description of the developments and principle of ATM switching fabric belonging to shared medium type, and also its design plan. It is implemented that hardware circuits and software program, Finally, hardware circuits and software program have been tested. Solution is satisfactory. This circuits plays an important role in practicality of ATM technology.

**Key words:** broadband-integrated services digital network; asynchronous transfer mode; cellbus

表 2 总线时钟参数的测量

参 数	测 量 值/V
高电平 $A_{d1}$	1.1
低电平 $A_{d3}$	-0.031
高电平下摆幅 $A_{d5}$	0.179
高电上下摆幅 $A_{d6}$	0.37
低电平下摆幅 $A_{d7}$	0.265
低电上下摆幅 $A_{d8}$	0.238